

Reference 2

Japanese Patent Public Disclosure No. 108747/1978 Date of

Public Disclosure: September 21, 1978

Application No. 17515/1978

Application Date: February 17, 1978

Priority: S.N. 769617 (US)

Inventor: Jaime Call et al.

Applicant: Honeywell Information System Inc.

Title: Data Processing System involving Cache Memory Device

We are enclosing a copy of a U.S.P. (No. 4,084,234)
which corresponds to Reference 2, please refer to it.

BEST AVAILABLE COPY

STK V. EMC
STK 08828

訂正有

⑨日本国特許庁

⑩特許出願公開

公開特許公報

昭53-108747

⑪Int. Cl.³
G 06 F 15 00

識別記号

⑫日本分類
97(7) H 0

庁内整理番号
6619-56

⑬公開 昭和53年(1978)9月21日

発明の数 3
審査請求 未請求

(全34頁)

⑭カッシー記憶装置を含むデータ処理システム

ルバーグ

⑮特 願 昭53-17515

⑯出 願 昭53(1978)2月17日

優先権主張 ⑰1977年2月17日⑱アメリカ国
(US)⑲769617

⑳発 明 者 ジエイム・コール
アメリカ合衆国アリゾナ州8530
6グレンデール・ウエスト・ウ
オルターン4723

同 ローレンス・ダブリュー・チエ

㉑出 願 人 ハネイウエル・インフオメーシ
ョン・システムス・インコーポ
レーテッド

アメリカ合衆国マサチューセツ
ツ州02154ウオルサム・スミス
・ストリート200

㉒代 理 人 弁理士 湯浅恭三 外1名

明 細 書

1. (発明の名称)

カッシー記憶装置を含むデータ処理システム

2. (特許請求の範囲)

(1) 複数のポートを有するシステム・インタ
ーフェース装置と、

前記の複数のポートの各々に接続され、少く
とも1個のメモリー・モジュールと複数の指令
モジュールとからなる複数のモジュールとを設
け、前記指令モジュールの各々は、

メモリー・指令を生成するための指令生成装置を
有し、第1のタイプの各メモリー・指令は前記メモ
リー・指令を伴うデータが記憶されるべき前記メモ
リー・モジュールにおける場所を表示するアドレ
スを含み、

前記1つのメモリー・モジュールは、

前記メモリー・指令に反応して情報ワードのプロ
ックを記憶するためのカッシー記憶装置と、

情報ワードを記憶し、各々が1ブロックを規定
する複数のワード場所を含む補助記憶装置と、

(1)

前記カッシー記憶装置と前記補助記憶装置に接
続されて該両記憶装置の作用を制御するための制
御回路装置とを含み、

該制御回路装置は、

前記の複数の指令モジュールから前記メモリ
ー・指令を受取るための前記1つのポートに接続さ
れた入力レジスタと、

前記指令を復号し、かつ前記補助記憶装置か
びカッシー記憶装置におけるメモリーの操作タイ
クルを開始するための信号を生成するため前記入
力レジスタ装置に接続される指令復号回路と、

前記インターフェース・ポートの1つに接続さ
れる入力データ・スイッチング装置とを有し、該
スイッチング装置は、前記第1のタイプのメモリ
ー・指令を伴う前記データを受取るための第1の入
力装置と、前記第1のタイプの各指令に反応して
1操作タイクルの間読出されるワードを受取るた
め前記補助記憶装置に作用的に接続される第2の
入力装置と、前記カッシー記憶装置と補助記憶
装置に結合される出力装置を有し、更に前記デー

(2)

スイッチング装置は、前記メモリ・操作タイトル
の間前記補助記憶装置から読出された前記ワード
に前記指令を伴う前記データを組み合わせる事か
ら生じる更新データを前記出力装置に与え、

更に、前記制御回路装置は、各々が特定の情報
ブロックが前記カッシー記憶装置のどこに記憶さ
れているかを指示するブロックアドレスを記憶す
るための、前記カッシー記憶装置におけるブロッ
ク数と対応する複数値のワード場所を含む登録
記憶装置と、

前記メモリ・指令に回答して前記登録記憶装
置から読出されるブロック・アドレスと、前記メ
モリ・指令の前記アドレスとを比較するための前記
登録記憶装置と前記入力レジスタ装置とに接続
され、其であるアドレス比較を表示する出力比較
信号を発生する比較装置と、

前記比較装置と前記指令信号装置に接続され、
前記第1のタイプの指令により指定される情報ワ
ードのブロックが前記カッシー記憶装置に記憶さ
れる時を表示するための前記出力比較信号に回答し

(3)

記カッシー記憶セクションは、

前記ブロックを記憶するためのカッシー記憶装
置と、

各々が特定の情報ブロックが前記カッシー記憶
装置に記憶される事を指示するブロックアドレス
を記憶するための、前記カッシー記憶装置のブロッ
ク数と同数の複数値のワード場所を含む登録
記憶装置と、

前記操作のメモリ・タイトルの間前記登録記憶
装置から読出されるブロック・アドレスと前記
指令の前記アドレスを比較する装置と前記登録
記憶装置とに接続され、アドレス・マッチに回答
して出力比較信号を生成する比較回路装置と、

前記比較回路装置と前記指令信号装置に接続さ
れ、前記出力比較信号に回答して作用し前記アド
レス・マッチを表示するヒット信号を記憶するヒ
ット・レジスタ装置とを有し、

前記局部メモリ・モジュールは、更に、

対応する数の補助記憶装置の操作タイトルの間
前記メモリ・指令に回答してワード・ブロックを

(5)

てヒット信号を生成するヒット制御装置とを有し、

前記指令信号回路装置は、前記ヒット信号によ
り条件付けされる時、前記カッシー記憶装置が前
記更新データを同じアドレスに書き込む事を可能に
してこれより実行情報への迅速なアクセスを容
易にするため、制御信号を生成する前記第1のタ
イプの各メモリ・指令に回答して作用する事を可能
とするデータ処理システム、

(2) 複数値の指令モジュール間で1つの局部メ
モリ・モジュールへのアクセスを共有するための
の入出力システムにおいて、

前記各指令モジュールは、

メモリ・指令を生成するための指令生成装置を
有し、各書き込みメモリ・指令は前記指令を伴う多
数のデータ・ワードが記憶される前記局部メモリ
・モジュールにおける1つの場所を表示する1
アドレスを有し、

前記局部メモリ・モジュールは、

情報ブロックを記憶してこれに対する迅速なア
ccessを行うカッシー記憶セクションを有し、前

(4)

記するための補助記憶セクションと、

前記カッシー記憶セクションと、補助記憶セク
ションと前記各指令モジュールとに接続され、前
記補助記憶セクションに記憶されたワード・ブロッ
クを更新するための補助記憶装置の操作タイトルの
読出し部分において、前記補助記憶セクション
から読出されたワードと前記の数のデータ・ワ
ードを組み合わせるための入力セクションと、

前記カッシー記憶セクションと、補助記憶セク
ションと、前記各指令モジュールとに接続された
出力セクションと、

前記入力セクションと、出分セクションと、カ
ッシー記憶セクションと、補助記憶セクションと
に接続された制御回路セクションとを有し、該制
御回路セクションは、

前記メモリ・指令を受取るための前記入力セク
ションに接続されたレジスタ装置と、

前記指令を復号し、前記補助記憶セクションと
カッシー記憶セクションにおいて操作のメモリ・
タイトルを開始するための信号を生成するための前

(6)

記入力装置に接続される指令信号回路装置とを有し、

該指令信号回路装置は、前記ヒット信号により条件付けされる時、前記書き込み指令に回答して作用し、前記カッシー記憶装置と補助記憶装置の両者が前記更新情報ワードを内部に書き込みを可能にするための制御信号を生成する事を特徴とする入出力システム、

(3) 各々が1ブロックのワード場所を規定する複数のワード場所を含む、情報ワード記憶のための補助記憶装置と、

各々が1ブロックのワード場所を規定する複数のワード場所を有する、情報ワード・ブロックを記憶するカッシー記憶装置と、

前記カッシー記憶装置におけるブロック数と同数であり、特定の情報ブロックが前記カッシー記憶装置のどこに記憶されるかを表示するブロック・アドレスを各々が記憶する複数のワード場所を含む登録記憶装置と、

前記カッシー記憶装置と補助記憶装置に作用的

(7)

記補助記憶装置に接続された第2の入力装置と、

前記新データ・ワードを前記補助記憶装置から読出された前記ブロックの前記ワードと組み合わせる事から生じる前記ブロックの更新されたバージョンを与えるため前記カッシー記憶装置と補助記憶装置に接続された出力装置とを有し、

前記制御装置は更に、

前記各書き込みメモリ・指令に回答して前記登録記憶装置から読出されたブロック・アドレスと前記メモリ・指令の前記アドレスを比較し、かつ其であるアドレス比較に回答して出力比較信号を生成するため前記登録記憶装置と入力レジスタ装置に接続された比較装置と、

前記書き込み指令により更新されるべく指定されたブロック情報ワードが前記カッシー記憶装置に記憶される時を表示するための前記出力比較信号に回答してヒット信号を記憶するためのヒット・レジスタ装置とを有し、

前記指令信号回路装置は、前記ヒット信号により条件付けされる時、前記各書き込み指令に回答し

(9)

特開53-108747 B

に接続され、該補助記憶装置の作用を制御するための制御装置とを設け、該制御装置は、

書き込み指令を伴う多数の新データ・ワードを内部に書き込むための操作のメモリ・サイクルの間前記ワード場所のどのブロックが照合されるかを指定するアドレスを含むよう符号化される各書き込み指令とメモリ・指令を受取るように接続される入力レジスタ装置と、

前記メモリ・指令を符号するための前記入力レジスタ装置に接続され、各書き込み指令に回答して、前記書き込み指令により指定される前記新ワードを書き込むための操作のメモリ・サイクルの間前記補助記憶装置とカッシー記憶装置と選択的に動作可能にするための制御信号を生成するよう作用する指令信号回路装置と、

入力データ・セレクト装置とを設け、該装置は、

前記指令を伴う前記新データ・ワードを受取るための第1の入力装置と、

前記操作のメモリ・サイクルの読出し部分において読出されたブロックのワードを受取るための前

(8)

て作用し、前記操作のメモリ・サイクルの間前記カッシー記憶装置と補助記憶装置が同じアドレスにおいて前記更新ブロックの書き込みを可能にするための制御信号を生成する事を特徴とするメモリ・システム、

3. (発明の詳細な説明)

本願に關する関連出願は次の通りである、

(1) 米国特許出願「バイパス機能を有する入出力カッシー・システム」、発明者：J・カル(Calle), L.W. チェルバーグ(Chelberg),

(2) 1976年11月18日出願の米国特許出願第742,814号「メモリ・アクセス・システム」、発明者：E.F. ウェラー(Weller) III, M.G. ポータ(Porter),

本発明は、データ処理システムに關し、特にカッシー記憶装置を含むデータ処理システムに關する、

一般に、カッシー記憶装置は要求されている情報の最も最近更新されたバージョンを提供する必要があるとされる。この事を確實に行うためには、

00

従来の技術の装置は、補助記憶装置に書き込まれる情報の一部が変更される時必要なカッシー更新操作を関連する中央処理装置に行わせる。通常この事は、補助記憶装置において更新されつゝある情報が又カッシー内に記憶される事を登録部が表示する時を信号するためカッシーの記憶登録部に補助の表示をセットする事により行われる。その後、中央処理装置は、登録部アドレスにより指定される情報が次にアクセスされる時旧情報がカッシー記憶装置内に生じる事のないように、カッシー記憶装置から旧情報を「フラッシュ」する事が必要となる。

前記の構成は、このような情報が多くのソース別装置により変更される場合に特に時間を消費するものである事が判つた。又、このような構成は前記のタイプの操作を行うために別の回路を必要とする。

従つて、本発明の主な目的は、カッシー記憶装置に記憶される情報を更新するための改善された装置の提供にある。

00

に回答して作用する制御装置を含んでいる。望ましい実施態様によれば、書き込み指令により補助記憶装置に書き込まれるよう指定される入力データを補助記憶装置から読出されたデータと組み合わせ、かつその結果をカッシーと補助の両記憶装置に入力して与える装置が設けられる。これにより、補助記憶装置に書き込まれるものと全く同じデータがカッシー記憶装置に書き込まれる事を保証する。

望ましい実施態様によれば、指令モジュールは、少くとも1つの出力プロセッサと1つのマルチプレクサ・モジュールを含み、本装置は、補助記憶装置に書き込まれつゝある情報のアドレスがこの情報がカッシー記憶装置に記憶される事を表示する登録部アドレスとマッピングする時を検出するよう作用するカッシー記憶装置と関連する登録部記憶装置の回路と対応する。前記の組み合わせを行う装置は、システム・インタフェース装置からの新しいデータと補助記憶装置からの旧出力データを受取るよう入力側を接続させたマルチ入力データ・セレクト・スイッチに対応する。このセ

01

特開253-102747(4)

本発明の別の目的は、多数のソース別指令モジュールのいずれか1つにより更新が可能なカッシー記憶装置の提供にある。

これ等の目的および他の目的は、多数の指令モジュールおよび1つの局部メモリ・モジュールを含む入力システムを有する本発明の望ましい実施態様において達成される。局部メモリ・モジュールは、補助記憶装置およびカッシー記憶装置を含んでいる。カッシー記憶装置は、補助記憶装置から前に取込まれた情報ブロックに対する迅速なアクセスを行う。望ましい実施態様のシステムは、更に各々が異なるモジュールの1つに接続される複数個のポートを含むシステム・インタフェース装置を含んでいる。

前記局部メモリ・モジュールは、更に補助記憶装置への書き込みを必要とする指令モジュールにより与えられる情報をして、制御装置内に含まれる装置が情報が前もつてカッシー記憶装置に書き込まれる事を決定する時、カッシー記憶装置に書き込まれる事を可能にするよう各書き込みメモリ・指令

02

レクタ・スイッチは、結果として組み合わされたデータを書込むためカッシーと補助記憶装置に与える出力側を有する。この構成のためデータ経路の数と組み合わせ回路の量が最少限度になる。

カッシー記憶装置に前もつて記憶された自動的にカッシー記憶装置に書き込まれた情報における変化を表示する各メモリ・書き込み指令を情報に併わせる事により、時間を要するフラッシュ操作の必要をなくし、メモリ・システムの複雑さを最少限度にするものである。更に、本装置は、指令モジュールにより示される情報に対する迅速なアクセスを容易にする(即ち、「ヒット」率を向上する)。

図 表

第1図から判るように、本発明の原理を包含するシステムは、少くとも1つの出力プロセッサ対(P0)200-0、システム・インタフェース装置(SIU)100、高速マルチプレクサ(HSMX)300、低速マルチプレクサ(LSMX)400、上位プロセッサ700、局部メモリ・モジュール500と主メモリ・モジュール

03

800に対応する多数のメモリー・モジュールを有する、これ等モジュールの異なる各々が、異なるタイプのインターフェース600乃至603の各々の複数個の回路を経てシステム・インターフェース値100の多数のポートの1つに接続している。特に、入出力プロセサ200と、上位プロセサ700と、高速マルチプレクサ300は各ポートG、EおよびAに接続し、低速マルチプレクサ400とメモリー・モジュール500、500aおよび800はそれぞれポートJ、LMOおよびRMOに接続する。

第1図の入出力システムは、多数の「読取モジュール」、「受動モジュール」、および「メモリー・モジュール」を含むように示される。IOPプロセサ200と、上位プロセサ700と、高速マルチプレクサ300は、各々が指令を送る能力を有する読取モジュールとして作用する。読取モジュールは、通常ポートA乃至Hと接続する。受動的受動モジュールは3つのポートJ、KおよびLと接続する。これ等モジュールは、低速マ

05

述される四重構造の形態をとり得る。望ましい実施形態においては、入出力プロセサ200は、入出力命令の実行に必要なチャネル・プログラムを開始終了し、システム・インターフェース値100から受取る読み込み要求を処理し、低速マルチプレクサ400に接続されるユニット・レコード周辺装置を直接制御する。プロセサ200は、データ・インターフェース600および読み込みインターフェース602を経てポートHと接続する。

本発明の目的のためには構造上公知と考えられる低速マルチプレクサ400は、周辺アダプタを経て低速周辺装置の接続を可能とし、前記アダプタの各々は値アダプタ・インターフェース(DAI)の回路に接続している。前記インターフェースとアダプタは、本発明の譲受人に譲渡された米国特許第3,742,457号に記載される装置の形態を有するものでよい。低速装置には、カード・リーダー、カード・パンチ、およびプリンタが含まれる。第1図から判るように、マルチプレクサ400はプログラム可能インターフェース

06

マルチプレクサ400およびシステム・インターフェース値100と対応し、以下に記述するいくインターフェース601の回路に与えられる指令を解釈し実行する事ができる装置である。装置のグループのモジュールは、局部メモリー・モジュールと、インターフェース603の回路に与えられる2つの異なるタイプの指令を実行する事が可能な主システムの四重リモート・メモリー・モジュールを構成する。

第1図の入出力システムは、各々に詳細に以下に記述するデータ・インターフェースとプログラム可能インターフェースとそれぞれ対応するインターフェース600および601を介して通常ポートFと接続する上位プロセサ700により生じる入出力命令に反応して入出力サブシステムとして作用する。ポートFとEは、第1図のマルチプレクサ又はプロセサ・モジュールのいずれかの接続を可能にするためのインターフェースを含む。

本発明の目的のため、プロセサ700は構造上公知であり、米国特許第3,413,613号に記載

08

601を経てポートJと接続する。

高速マルチプレクサ300は、チャネル・アダプタ302乃至305の異なるものと接続するディスク装置およびテープ装置309乃至312のグループ間の転送を制御する。最大16個位のチャネル・コントローラ・アダプタ303乃至306は、更にチャネル・アダプタ・インターフェース(CAI)301-1のインターフェースを経て異なるポート即ちチャネル0乃至3と更に接続する。高速マルチプレクサ300は、データ・インターフェース600と、プログラム可能インターフェース601と、読み込みインターフェース602とに対応するポートAに接続する。

本発明の目的に対しては各チャネル・コントローラ・アダプタ302乃至305は構造上公知と考えられ、前述の米国特許第3,742,457号に記載されたコントローラ・アダプタの形態をとり得る。

前述の如く、各モジュールはシステム・インターフェース値100の異なるポートと接続する。

09

この装置100は、町をなすモジュール間のデータおよび制御情報の伝送を可能にする伝送経路を経て異なるモジュールの相互の接続を制御する。本発明の目的に対しては、システム・インターフェース装置100は、要求側のモジュールが最高の優先順位を有しかつ次の利用可能なメモリー・サイクルを与えられる時、局部メモリー・モジュール500に対して「読出」モジュールの各々へデータの出入り伝送を可能とするスイッチング回路網として考えられる。即ち、前述の如く、装置100は、各読出モジュールからの要求の相対的優先順位を決定する優先順位論理回路を含み、次に利用可能なメモリー・サイクルを受取つた最高優先位の要求を与える。

更に、装置100は、各モジュールから受取る到達し要求の相対的優先順位を決定する到達し優先順位論理回路を含み、受取つた最高優先位の要求を選択し、前述の如くスイッチング回路網を経てプロセッサ200に対して要求を送る。

ポート・インターフェース

19

複数のSIUからのマルチポート識別子函数(MIFS0~3, P)、SIUからの2倍精度函数(DPFS)、および状況受入れ函数(AST)からなる。このインターフェース函数については更に詳細に以下の各域で記述する。

データ・インターフェース函数

記号	説明
AOPR	読出力ポート要求函数は各読出モジュールからSIU100 伝送する一方向性函数である。セットされると、この函数は、指令即ちデータが送られる伝送経路をモジュールが要求する事をSIUに信号する。
DTS00~35, P0~P3	データ経路函数は、各読出モジュール間に伝送する4バイトの巾の一方向性函数(4つの10ビット・バイト)であり、各読出モジュールからSIU100 へ指令即ちデータを伝送するために使用

20

第1図の各モジュールについて更に詳細に記述する前に、前に述べたインターフェース600で至603の各々について第5・図乃至第5・図に關して以下に説明する。

最初に、第5・図において、同図は読出モジュールとシステム・インターフェース装置100との間に情報の交換を行うインターフェースの1つであるデータ・インターフェースを構成する各函数を示す事が利る。この交換作用は、「ダイアログ」と呼ばれる一連の信号に基づいて構成される予め定められた規則に従つて各信号函数の論理的状態を制御する事により行われる。

第5・図から利るように、インターフェースは、読出力ポート要求函数(AOPR)、複数の対SIUデータ函数(DTS00~DT35, P0~P3)、複数の対SIU換向データ函数(SDTS0~6, P)、複数の対SIUマルチポート識別子函数(MITS0~3, P)、受入れ読出要求函数(ARA)、読出しデータ受入れ函数(ARDA)、複数のSIUからのデータパス函数(DFS00~35, P0~P3)、

21

される。

SDTS0~6 P 対SIU換向データ函数は各読出モジュールからSIU100 伝送する。これ等の函数は、函数AOPRがセットされる時操作制御情報をSIU100 へ与えるために使用される。換向制御情報は、下記の如く符号化される7ビットと1つのパリティ・ビットからなる。

- (a) ビット0の状態—DIS函数に与えられた指令のタイプ(指令がプログラム可能インターフェース指令又はメモリー・指令かどうか)。
- (b) ビット1~4はどのモジュールが指令を受取り到達むかを表示するよう符号化される(指令はメモリー・モジュールによつてのみ解釈され、プログラム可能インターフェース指令は入出力プロセッサ200を除く全てのモジュールにより解

22

表される)。

(c) ビット 5 の状態は、指令情報の 1
又は 2 ワードが要求側の能動モジ
ュールと表示された受取側のモ
ジューンとの間に伝送されるかど
うかを表示する。(1 ワードは単
精度伝送を、2 ワードは 2 倍精度
伝送を指定する。)

(d) ビット 6 の状態は、要求側のモジ
ュールと表示された受取モジ
ューン間の伝送方向を表示する。

(e) ビット P は、SIU100 に含まれ
る誤差により検査される要求側の
能動モジューンにより生成される
パリティ・ビットである。

MITSO-3, P 4 つの対 SIU マルチポート識別
子回路は能動モジューンから SIU
100 に存在する。これ等の回路
は、能動モジューン内のどのサブ
チャネル又はポートが回路 AOPR

23

路(4 つの 10 ビット・バイト)
である別のセプトのデータ回路回
路である。これ等の回路セプトは、
SIU100 により使用され読出し
タイプ・データを能動モジューン
の表示された 1 つに伝送する。

MIFSO-3, P 4 つのマルチポート識別子回路ブ
ラス新設パリティ回路は、SIU
100 から各能動モジューンに延
在する。これ等回路は、能動モジ
ューンのどのポート即ちサブチャ
ネルが SIU100 からの読出し操
作のデータを受入れるかを
表示するよう符号化される。

DPFS SIU からの 2 倍精度回路は、
SIU から各能動モジューンに延
在する。この回路の状態は、読出
されたデータの 1 つ又は 2 つのワ
ードが能動モジューンにより受入
れられて伝送(読出し指令)を完

24

のセプティングを意図したかを表
示するよう符号化されている。

ARA 受入れ能動要求回路は SIU100
から能動モジューンの各々へ延在
する。この回路は、表示された受
取側のモジューンがデータ・イン
タ・フェース回路からの要求され
た情報をモジューンに取除かせ
る能動モジューンの要求を受入れ
た事を表示するようセプトされる。

ARDA 読出しデータ受入れ回路は SIU
から各能動モジューンに延在する。
この回路は SIU100 によりセプ
トされて、能動モジューンに対し
てこれが表示されたモジューンか
ら前に要求されたデータを受入れ
るべき事を表示する。

DFS00-35, P0-P3 SIU からのデータ回路は、
SIU から各能動モジューンに延
在する 4 バイト巾の一方方向性の線

25

了するかどうかを表示する。

AST 受入れ状況回路は SIU100 から
各能動モジューンに延在する。回
路 ARDA を互いに含まないこの回
路の状態は、能動モジューン対
して D F S 回路に与えられる状況
情報を受入れるべき事を信号する。

第 5 図に示されるプログラム可能インタ・フ
エース 601 の回路は、能動モジューンおよび表
示されたモジューンからの指令情報の伝送を行う。
この伝送は、「ダイアログ」と呼ばれる一連の
信号により編成される予め定められた規則に従い各種
の信号回路の状態の論理回路を制御する事により
行われる。プログラム可能インタ・フェースは、
プログラム可能インタ・フェース指令受入れ回路
(APC)、複数個の SIU からのプログラム可
能インタ・フェースデータ回路(PDFS00-35,
P0-P3)、プログラム可能インタ・フェース使用
可能回路(PIR)、読出しデータ伝送要求回路
(RDTR)、複数個の対 SIU プログラム可能イン

26

タ・フェース・データ回路 (PDTS00~35, PO~P3)、および読出しデータ受入れ回路 (RDAA) を含んでいる。インターフェース回路については以下に更に詳細に記述される。

プログラム可能インターフェース回路

表 示	説 明
A P C	プログラム可能インターフェース 指令受入れ回路は、SIU100 から 各受取りモジュールに送達する。 セプトされると、この回路はモジ ュールに対して指令情報が SIU によりインターフェースの PDFS 回路に与えられた事、モジュール により受入れられるべき事を信号 する。

PDFS00~35, PO~P3 SIUからのプログラム
可能インターフェース・データ回
路は、SIU100 から各モジュ
ールに送達する4バイト巾の一方
性の線路(4つの10ビット・バ
イト)

用される。

RDTR	データ伝送要求読出し回路は、プ ログラム可能インターフェースに 接続された各モジュールから SIU 100 に送達する。セプトされ ると、この回路は、読込要求された 読出しデータが1モジュールへの 伝送に使用でき、このモジュー ルにより回路 PDTS に与えられた事 を表示する。
------	--

RDAA	受入れられたデータ読出し回路は SIU100 から各モジュールに送 達する。セプトされると、この回 路は、モジュールに対して回路 PDTS に与えられたデータが受入 れた事、およびこのモジュー ルがこれ等の回路から情報を除去 できる事を表示する。
------	--

別のインターフェースは、入出力プロセサ 200
により読み込み処理を行う第5回路の読み込みイン

特記で53-158747(6)
イト)である。これ等回路は、シ
ステム・インターフェースから表
示される受取りモジュールにプ
ログラム可能インターフェース情
報を与える。

PIR プログラム可能インターフェース
使用可能回路は各モジュールから
SIU に送達する。セプトされる
時、この回路は、このモジュー
ルが回路 PDFS に与えられるべき指
令を受入れる用意がある事を表示
する。

PDTS00~35, PO~P3 対 SIU プログラム可能
インターフェース・データ回路は、
各モジュールから SIU100 に送
達する4バイト巾の一方性の線
路(4つの10ビット・バイト)
である。これ等回路は、プログ
ラム可能インターフェース情報を
SIU に対して伝送するために使

用

・フェース 602 である。即ち、このインター
フェースは、処理のため SIU100 による入出力プ
ロセサ 200 に対する読み込み情報の伝送と同様に
SIU100 に対する読込モジュールによる読み
込み情報の伝送を可能にする。他のインターフェース
と同様に、読み込み要求の伝送は、「ダイマコグ」
と呼ばれる一連の信号により構成された予め定め
た規則に従って各種の信号回路の論理状態を制御
する事により行われる。

このインターフェースは、読み込み要求回路 (IR)、
複数値の読み込みデータ回路 (IDA00~11, PO~
P1)、およびポート A 乃至 H に接続されたモジ
ュールに対する複数値のマルチポート識別子読み
込み回路 (IMID00~03) を有する。ポート G およ
び H に接続されるモジュールに対しては、読み
込みインターフェースは更にレベル存在回路 (LZP)
に対して、更に上位の読み込み存在回路 (HLIP)、
読み込みデータ要求回路 (IDR)、解放回路 (RLS)、
および複数値の読込読みレベル回路 (AILE0~
2) を含んでいる。第5回路から判るように、読

込

込みインターフェースポートGおよびHは読み込みマルチポート識別子図は含まない。読み込みインターフェース図については以下に更に詳細に記述する。

読み込みインターフェース図

記号	説 明
IR	読み込み要求図は各モジュールからSIU100 迄存在する。セフトされると、この図はSIUに対してサービスを必要とする事を表示する。
IDA, 0-3, PO	読み込みデータ図は読取モジュールからSIU100 迄存在する。
IDA4-11, PI	これ等図は、読み込み要求がプロセッサより受入れられた時入出力プロセッサに転送されるべく要求される制御情報を含むよう符号化される。これ等ビットは下記の如く符号化される。即ち、 (a) ビット0の状態は2つのプロセッサ

00

LZP	レベル存在図はSIU100 から入出力プロセッサ200 迄存在する。セフトされる時、この図はSIU100 によりプロセッサ200 に向向される最高順位(レベル0 読み込み)要求がある事を表示する。
HLIP	より上位のレベル読み込み存在図はSIUから入出力プロセッサ迄存在する。セフトされる時、この図は、プロセッサ200 により実行されつゝある手順即ちプロセスよりも高いレベル即ち優先順位を有する読み込み要求がある事を表示する。
IDR	読み込みデータ要求図は入出力プロセッサ200 からSIU100 迄存在する。

03

の内のどちら(即ち、プロセッサ番号)が読み込み要求を処理すべきかをSIU100 に対して指定する。
(b) ビット1-3は読み込み要求の優先順位即ちレベル番号をSIU100 に対して表示するよう符号化される。

(c) ビットPOはビット0-3に対するパリティ・ビットである。

(d) ビット4-8は、読み込みを処理するための適正な手順を照合するための入出力プロセッサ200 により生成される事を要求されたアドレスの一部(即ち、読み込み制御ブロック番号ICBN)を与えるよう符号化される。

(e) ビットPIはビット4-11に対するパリティ・ビットである。

IMID00-03 マルチポート識別子読み込み図は各読取モジュールからSIU

02

RLS	在する。セフトされると、この図は読み込みデータがSIU100 により図DFS上のプロセッサに対して送られるべき事を表示する。
AIL0-2	解放図は入出力プロセッサ200 からSIU100 迄存在する。この図は、セフトされる時、プロセッサ200 が実行手順の実行を完了した事を表示する。
	読取読み込みレベル図はSIUから入出力プロセッサ200 迄存在する。これ等図は、プロセッサ200 により実行されつゝある手順の読み込みレベル番号を表示するよう符号化される。

図1図のモジュールのあるものにより使用される最後の読み込み図のセフトは図5d図の局部メモリ・インターフェース図に対応する。局部メモリ・インターフェース603は、局部メモリ・500とシステムの各モジュール間通信の

04

交換を行う。この交換は、「ダイアログ」と呼ばれる一連の信号により確認される予め定められた規則に従って各社の信号インターフェース回路の論理的状态を制御する事により行われる。局部メモリ・インターフェースは、複数値の対メモリ・データ回路(DTM00~35, P0~P3)、複数値の対メモリ・要求識別子回路(RITM0~7, P0~P1)、複数値の対メモリ・指定回路(SLTM0~3, P)、PI指令受入れ回路(APC)、ZAC指令受入れ回路(AZC)、PIインターフェース使用可能回路(PIR)、ZACインターフェース使用可能回路(ZIR)、データ転送要求読出し回路(RDTR)、複数値のメモリからのデータ回路(DFM00~35, P0~P3)、複数値のメモリからの要求識別子回路(RIFM0~7, P0~P1)、対メモリ・2倍精度回路(DPFM)、QUAD回路、受入れデータ読出し回路(RDAA)、およびシステム・クロック回路(SYS-CLK)を含んでいる。

メモリおよびプログラム可能インターフェース指令は、インターフェースの同じ論理的データ

四

構成する。これ等の回路は、指令を開始したモジュールを識別する局部メモリに対して情報を伝えるよう符号化され、適正なモジュールに対して要求されたデータを戻すために使用される。

SLTM0~3 P この対メモリ・指定回路はSIU 100から局部メモリ・500に存在し、対メモリ・読出し/書き込み回路、対メモリ・2倍精度回路、およびパリティ回路を含む。これ等の回路に与えられる情報信号は下記の如くである。即ち、

(a) ビット0~1は、付属モジュール内のどのポート即ちサブチャンネルがモジュールに送られたメモリ・指令を受取り又は読み込みかを示すよう符号化されたポート番号出力ビットである。

(b) ビット2は、新しい指令がSIU

37

特開2000-100747 (20)

回路から転送される。インターフェースは、読み書き要求を処理するための1組の回路を含み、従ってSIU100により局部メモリに接続されるモジュールはメモリ・読み込みを直接感起しない。局部メモリ・インターフェース回路については以下に更に詳細に記述する。

局部メモリ・インターフェース回路

記号 説明

DTM00~35, P0~P3 データ転送回路は、SIU 100から局部メモリ・500に存在する4バイト巾の一万五千の回路(36個の情報回路および4つの奇数パリティ回路)を構成する。これ等回路はメモリ・即ちプログラム可能なインターフェース指令を局部メモリ・500に転送するため使用される。

RITM0~7 P0 対メモリ・リクエスト識別子。
RITM4~7, P1 SIU100から局部メモリ・500に存在する2グループの4回路を

四

100によりメモリに送られる時、局部メモリ・500に対してSIUにより転送される読取モジュールから受取る検向制御情報を含む対メモリ・読出し/書き込みビットである。このビットの状態はデータ転送の方向を表示する。

(c) ビット3は、転送されるべきデータ量を指示するよう符号化された対メモリ・2倍精度ビットである。又、これは、新しい指令がメモリ・モジュールに送られる時SIU100により局部メモリ・モジュール500に転送される読取モジュールにより与えられる検向制御情報も含まれる。

AZC ZAC指令受入れ回路はSIU100から局部メモリ・モジュール500に存在する。セツトされると、この回路は局部メモリ・モ

四

ジューン500に信号してSIU
100により他の図面と与えら
れるZAC指令および制御情報を受
入れる。このインターフェース図
面のセンテイングは、PI指令イ
ンターフェース受入れ図面を用い
て相互に排他的である。

A P C プログラム可能インターフェース
に備えて記述した如く、プロ
ラム可能インターフェース指令受
入れ図面はSIU100 から局部メ
モリ・モジュール500に存在
する。セットされると、この図面
は、図面DTMに与えられた指令
情報が局部メモリ・モジュール
500により受け入れられるべき事
を表示する。

PIR/ZIR プログラム可能インターフェース
使用可能図面/ZACインターフェ
ース使用可能図面は、局部メモ
リ

4 バイト巾の一方向性バスである。
これ等の図面は、SIU100 を介
して記憶モジュールに読み出し要求
タイプデータを戻すのに使用され
る。

RIFMO-3, PO メモリからのリクエスト識別子
RIFMA-7, PI の2つのグループは局部メモリ
からSIU100 に存在する。これ
等の図面は、読み出しデータをモ
ジュール500から逆に要求側モ
ジュールに指向するために符号化さ
れている。

DPFMとQUAD メモリからの2倍精度図面および
QUAD図面は局部メモリ・モ
ジュール500からSIU100 に存
在する。これ等図面は、読み出し
データ転送要求時間間隔において
SIU100 を介して要求側のモ
ジュールに転送されるべきワード番
号を表示するように符号化される。

40

特記53J-1.0674/122
リ・モジュール500からSIU
100に存在する。セットされ
ると、各図面は、SIU100 に対し
て、局部メモリ・モジュール
500はプログラム可能インター
フェース(PI)/メモリ・(ZAC)
指令を受け入れる事ができる事を信
号する。

RDTR データ転送要求読み出し図面は、局
部メモリ・モジュール500か
らSIU100 に存在する、この図
面は、セットされると、ZACス
はPI指令により前に要求された
読み出しタイプデータがデータを要
求するモジュールに送られるべき
必要な制御情報に依つて使用可能
である事を表示する。

DPFMO-35, PO-PS メモリからのデータ図面
は、局部メモリ・モジュール
500からSIU100 に存在する

40

これ等の図面は下記の如く符号化
される。即ち、

QUAD DPFM
0 0 1ワード、4倍精度
0 1 2ワード、2倍精度
1 X 4ワード
(何でもよい)

D S D 読み出しデータ/状況識別子図面は
局部メモリ・モジュール500
からSIU100に存在する。この図
面の状態は、SIU100 に対して、
図面DPFMに与えられる情報が読
出しデータ又は図面RDTRがセッ
トされる時の状況情報であるかど
うかを信号する。セットされると、
この図面は1ワード又は2ワード
(QUAD=0)の状況情報が転送さ
れつつある事を表示する。2進数
等がセットされると、この図面は
4ワード迄のデータが転送されつ

40

されて共通のシステム・クロック
・ソースから各メモリ・モジュ
ールの各操作を同期する、

第5a図乃至第5d図は、第1図のシステムの
異なるモジュールをSIU100に接続する図面を
示すが、他の図面が又例えばエラー条件および操
作条件等の他の条件を番号するための含まれている
事が判るであろう。第1図のモジュールより使
用される異なるタイプのインターフェースについ
て記述したが、本発明の理解に關するモジュール
の各々については以下に更に詳細に記述する、

入出力プロセッサ200-0の詳細

第2図において、第P0の各プロセッサ200は、
命令を実行するための制御記憶領域201-10
に記憶されたマイクロ命令に反応して制御信号を
生成するよう作用するマイクロプログラムされた
制御セクション201と、局部メモリ・モジュ
ール500から取出された命令を記憶するための
命令バッファ・セクション202と、記憶セク
ション203と、制御記憶領域201-10に記憶

44

つある事を番号し、この番号は固
定QUADおよびDPFMの符号化に
より指示される、

RDAA プログラム可能ターミナルに關し
て記述した如く、受入れデータ取
出し回路はSIU100から局部メ
モリ・モジュールに送達する。
セットされると、この回路は、メ
モリ・モジュールに対して、局
部メモリ・モジュールによりイ
ンターフェース回路に与えられた
データが受入れられた事、および
局部メモリ・モジュールがこれ
等回路からのデータを除去するこ
とを信号する、

SYS-CLK システム・クロック回路は、SIU
100からシステムの各モジュ
ールに送達する回路である、この回
路は、入出力プロセッサ200に内
蔵されるクロック・ソースに接続

43

されたマイクロプログラムの制御下で演算論理操
作を行う処理セクション204を含む、このプ
ロセッサ対の構成のためシステムの信頼度が保証さ
れるが、これについては前掲の米国特許出願にか
いて詳細に記述されている、

制御記憶セクション201

各セクションについて更に詳細に考察すれば、
制御記憶領域201-10は例えば取出し専用メ
モリ(ROM)を用いる固定セクションからなつ
ている、記憶領域201-10は、セレクト・ス
イッチ201-14に与えられる8つのアドレス
・ソースのいずれか1つからの信号を介してアド
レス指定可能である、アドレス指定された場所の
内容は、出力レジスタ201-15に読まれ、
クロック201-16内に含まれるデコード回路
により信号される、

更に、図示の如く、レジスタ201-15の内
容のマイクロ命令の各フィールドの1つからの信
号は、制御記憶領域201-10に対して8つの
入力ソースのどれがアドレスを与えるかを選択す

45

るためのスイッチ201-14に対する入力とし
て与えられる、レジスタ201-15に取出され
たマイクロ命令は、制御記憶領域201-10を
通過したマイクロプログラム・ループに対して分
岐させるアドレス常数を含んでいる、

第2図から判るように、8つの制御記憶領域の
アドレスソースには次のものが含まれる、即ち、
システム・インターフェース領域100とプロセ
ッサ200に含まれる制御回路により与えられる信号
から得る読み込み/例外信号、加算回路201-24
を除くレジスタ201-22に記憶される次のアド
レス情報を受取る次のアドレス・レジスタ位置、
戻りレジスタ201-20の戻りアドレス内容を
受取る戻りアドレス・レジスタ位置、メモリ・出
力レジスタ201-4を介してバスファインダ・
メモリ-201-2からアドレスを受取る実行アド
レス・レジスタ位置、これも又レジスタ201
-4からアドレスを受取るシーケンス・アドレス
・レジスタ位置、および出力レジスタ201-15
から一定数値を受取る定数位置である、

46

1つのオペランド入力としてスイッチ201-14により選択されるソースの1つからのアドレス信号を受取り、他のオペランド入力としてブロック201-26のスキップ制御回路からの信号を受取る加算回路201-24により通常の次のアドレスが生成される。このスキップ制御回路は制御記憶レジスタ201-15に記憶された定数値により条件付けされ、前記レジスタ201-15は更に加算回路201-24に対するオペランド入力の1つとして通常の値を与える。加算回路201-24により生成される結果のアドレスは、スイッチ201-14により与えられるアドレスとブロック201-26のスキップ制御回路により与えられる定数値の和を表示する。要約すれば、スイッチ201-14の各位置は制御記憶装置201-10から読出されたマイクロ命令にตอบสนองして選択されて、プログラム命令のOPコードにより指定される操作の実行に必要とされる制御記憶装置201-10に記憶されるマイクロプログラムに対する通常のアドレスを与える。命

47

み(LZPおよびHLIP)の存在を表示する信号回路は、次のプログラム命令を実行するためのマイクロ命令シーケンスを照会する代りにマイクロ命令の読み込みシーケンスの選択を照会させる。「例外」を表示する信号回路は、スイッチ201-14と関連する制御回路(図示せず)に与えられ、例外/読み込み位置の選択を駆動する。この動作はマイクロ命令の例外シーケンスを照会するためのアドレスを与える。実行のタイプに従って、選択するプログラム命令の実行が阻止されねばならないか不可能である(例、減算、除法命令)ためこの例外は即時処理される。例外は条件が即時のアテンション(例、タイムアウト、相あふれ等)を必要としないプログラム命令の実行の完了と同時に処理される。前述の如く、例外の発生は、スイッチ201-14の例外/読み込み位置を選択させ、プロセス制御レジスタ204-22における通常のビット位置のセッティングを駆動する。

第1図にPDAとして示されるタイミング信号は、プロセッサ200の他のセクションの操作のた

48

時のOPコードは図示の如く回路201-6を経てバスファインディング・メモリ-201-2に与えられる。スイッチ201-14の残りのアドレス・レジスタは1分岐操作の結果としてプログラムの順序付けの間選択され、定数レジスタ位置にレジスタ201-15に記憶されたマイクロ命令の定数フィールドにより生成される制御記憶装置201-10における予め定められた場所への分岐操作を行うように選択される。

読み込みはプログラム命令の実行完了時に処理される。第2図から判るように、高レベル読み込み存在(HLIP)およびレベル読み込み(LZP)回路は信号をスイッチ201-14に与える。HLIP回路に与えられた信号はプロセス制御レジスタ204-22からの読み込み禁止信号と「AND」され、その結果はLZP回路に与えられた信号とORされる。高レベル読み込み存在信号が禁止されず、即ちLZP回路に信号が与えられる時、スイッチ201-14に接続された回路(図示せず)からの信号は実行/読み込み位置を選択する。読み

49

めのタイミング信号と共に制御セクション201に対する通常のメモリの操作サイクルを確保するため必要とされ、第1図のシステムの他のモジュールはブロック201-30内に含まれるクロック回路により提供される。本発明の目的においては、クロック回路は第2図の他の回路と共に構成上公知と考えられ、例えば1972年にテキサス・インストルメンツ社により刊行された「設計技術者のための集積回路カタログ」なる文獻に開示された回路形態をとる事ができる。更に、このクロック回路は水晶制御による発振器とカウンタ回路を有し、スイッチ201-14は複数のデータ・セクタ/マルチプレクサ回路を有するものでよい。

前記の事から、殆んどどのマイクロプログラム化された制御装置における如く、制御記憶装置201-10は各プロセッサの操作サイクルに対して必要な制御を行う。即ち、1操作サイクルとの間に制御記憶装置201-10から読出された各マイクロ命令ワードは多数の制御の制御フィールドに分

50

制され、前記フィールドは、異なるストラップバンド・メモリ・のアドレス指定およびオペランドの選択のための第2図の各セレクト・スイッチに対する必要な入力信号と、分岐のための各テスト条件を指定する信号と、セクション204の加減/シフト装置の操作を制御するための信号と、指令を生成するのに必要な制御情報を与える信号とを与える。制御セクション201の操作に関する更に詳細な内容については、本発明の譲受人に譲渡されたG・W・バートン等の米国特許第4,001,788号「パスファインダ・マイクロプログラム制御システム」を参照されたい。又、本明細書の献書に引用した各出願も参照されたい。

命令パツファ・セクション202

このセクションは局部メモリ・モジュール500から取出されるレジスタ204-18のデータを介して与えられる命令の4ワード位を記憶するための複数個のレジスタ202-2を含んでいる。レジスタ202-2のグループは、2つの出力即ち執行命令成出し出力(CIR)と次の命令

60

える8位値のデータ・セレクト・スイッチ203-14を介してアドレス指定される。アドレス入力203-12の3つの最上位ビット位置は8組のレジスタ(即ちレベル)の1つを選択し、残りの4ビットは前記16個のレジスタの1つを選択する。SIU100により活動的読みレベル(AIL)回路に与えられた信号は、3つの最上位ビットをストラップバンド・アドレス入力203-12に与える。残りの信号はIRSWを介して与えられた命令から制御記憶レジスタ201-15即ちフィールドにより与えられる。

読み込みアドレス・レジスタ203-22はスイッチ202-4を経てロードされ、レジスタ201-15に含まれるマイクロ命令の各フィールドの1つにより表示される如き実行プログラム命令のビット9-12又はビット14-17のいずれかに対応する信号を記憶する。従つて、読み込みアドレスレジスタは、ストラップバンド・メモリ・203-10の汎用レジスタの1つに結果をロード即ち戻すためのアドレス記憶域を提供する。各

61

特開 53-108747 (4)

成出し出力(NIR)を与えるよう構成された2位置命令レジスタ・スイッチ202-4に接続されている。半ワード又は全ワードに基く命令ワードの選択は、ブロック204-12の作業レジスタの最初のものに通常記憶される執行命令カウンタ(IC)のビット位置の状態に従つて行われる。本発明の目的のためには、この構成は製造上公認のものと考えられる。

記憶セクション203

第2図から判るように、このセクションは、各々8つの優先レベルの1つを割当てられた8つの異なるプロセスと関連する8組即ち8グループのレジスタを有するストラップバンド・メモリ・からなる。最上位の優先レベルはレベル0であり、最下位の優先レベルはレベル7である。各グループ即ちレベルは前述の如く使用される16個のレジスタを含んでいる。

ストラップバンド・メモリ・203-10は、8つのゾーンのいずれかからアドレス入力203-12に対して7ビットのアドレスを選択的に与

62

込み操作は、クロックされる読み込みフリップフロップ(図示せず)の2進数1への切換えに依存するか、レジスタ201-15にロードされるマイクロ命令の1フィールドに依存して生じる読み込みクロック信号の生成と同時に生じる。読み込みフリップフロップにより生成される時、この読み込みクロック信号は、次のPDAクロックパルスの発生と同時に読み込みフリップフロップが2進数0にリセットされる時に生じる。この動作は、次の命令の処理の開始時に生ずるプログラム命令に關する読み込み操作の発生を許容する。

読み込みアドレス・レジスタ203-22の内容は、レジスタ203-22が0、1又は15のアドレスを記憶する度に信号を出力回路上に生じるよう作用するセレクト・スイッチ203-14を介してデコ・デマルチプレクサ203-28に与えられる。この信号は、読み込みフリップフロップが2進数1の状態にある時、ゲート回路(図示せず)により読み込みクロック・パルスの生成を禁止する。更にデコ・デマルチプレクサ203-28はプロセス状態レジ

63

スタ204-20からモード信号を受取る。プロセサ200がマスター・操作モード又はスレーブ操作モードにあるかどうかを表示する信号の状態は出力信号と「AND」され、プロセス状態レジスタ204-22に対する入力として与えられる別の出力回路上で例外信号を生じるために使用され、スイッチ201-14の例外前込み位置の選択を遂行する。前述の如く、この作用はスクラッチパッド・メモリ-203-10のプロセス状態レジスタ場所(GR0)の内容の変更を阻止する。

アドレス指定されたレジスタ場所の内容は第1の2位値データ・セレクト・スイッチ203-18を介してスクラッチ・バッファ・レジスタ203-16に読出される。次にこのバッファ・レジスタ203-16の内容は別の2位値データ・セレクト・スイッチ203-20を介して処理セクション204に選択的に与えられる。データ・セレクト・スイッチ203-14、203-18、および203-20の各々の各位値は、レジスタ201-15に読出されたマイクロ命令に含まれ

65

は照合のため必要なプロセス状態レジスタの内容に対するアクセスの制度のため、このレジスタの内容を表示する信号は処理セクション204のレジスタの1つ(即ち、レジスタ204-20)に記憶される。このように、プロセス状態レジスタの内容を記憶するための汎用レジスタの記憶場所は、前込みの発生と同時にセクション204のプロセス状態レジスタの現在値を記憶するよう作用する。

各グループのレジスタは更に関連するプロセスの執行命令のアドレスを記憶するための命令カウンタ(汎用レジスタ1)を含んでいる。更に、各グループのレジスタは、ページテーブル基底レジスタ(汎用レジスタ15)と、オペランドおよびアドレス情報のための一時的記憶を与えるための多数の汎用レジスタ(汎用レジスタ2-14)を含んでいる。このスクラッチパッド・メモリ-203-10は又、局部メモリ・モジュール500に記憶される例外制御ブロックおよび前込み制御ブロック・テーブルのベースを指示する絶

66

る異なるフィールドにより選択可能である。スクラッチパッド・メモリ-203-10は、ブロック204-12の4つの作業レジスタのいずれかに選択的に記憶された1対の出力バスの1つから与えられるデータ信号を受取る。

16個のレジスタの各組は、執行プロセスの制御に必要な情報を記憶するためのプロセス状態レジスタ(PSR)場所(汎用レジスタ0)を含んでいる。レジスタの最初の8ビット位置は前込みモジュールを識別するよう符号化された操作情報を記憶する。次の位置は、操作のモード(即ち、マスター又はスレーブ)を識別するよう符号化された特権ビット位置である。このレジスタに又、レジスタ内容が変更できるかどうかを表示するよう符号化された外部レジスタ・ビット位置と、アドレス・モード・ビット位置と、2つの条件コード・ビット位置と、前送りビット位置と、関連するプロセスが活動中(即ち、「プロセス・タイマ-」として作用)周期的に減分されるカウンタを記憶するための22ビット位置とを含む。変更ス

67

対アドレスを記憶する制御ブロック・ベース(CBB)レジスタ場所を含んでいる。決して変更されない最上位優先順位レジスタの組(レベル0)の第1のレジスタGR0は、制御ブロック・ベースの情報を記憶する。前込み制御ブロック(ICB)テーブルは、前込みのタイプを記憶するための情報を記憶する256グループの記憶場所を含んでいる。例外制御ブロック(ECB)テーブルは、例外のタイプを記憶するための情報を記憶する16グループの記憶場所を含んでいる。

例外は、16の例外処理ルーチンの1つにプロセサ200を自動的に入れるプロセス取出条件である。この例外条件は、プロセサがマスター・モードに入る時プログラム命令のビット10-13に対応する4ビットの例外番号により識別される。他の全ての場合には、例外番号は零である。例外番号(ECB#)は、例外処理ルーチンを指示する4ワード例外制御ブロック(ECB)の1つの識別に使用される。ECBのバイト・アドレスは、制御ブロック・ベース(CBB)-16(ECB#

68

+1)に等しい。各ECBは、プロセサ200が例外ルーチンに入る前に実行プロセスに関する情報を記憶するためのスタック域として作用する保管域ポイントに加え、PSR、ICおよびPTBRレジスタをロードする値を含んでいる。

読み込み制御ブロック(ICB)のアドレスは、制御ブロック・ベース(CBB)+16(ICB#)に等しい。このICB#は前述の読み込みワードから得られる。同様に、ICBは4ワード・ブロックであり、PSR、IC、GR14およびPTBRレジスタに対する値を含んでいる。

処理セクション204

このセクションは、プログラム命令の処理に必要な演算・論理操作の全てを行う。該セクション204は、1対の36ビットのオペランドに対して減算、シフトおよび論理的操作を行う事が可能な加算/シフト装置204-1を含む。本装置204-1の加算装置部分又はシフト装置部分のいずれかにより生じた結果はマイクロ命令に送答して選択され、その後ブロック204-12の作

59

およびスタックパッド・バッファ入力スイッチ203-18)からロードできる。このレジスタがロードされると、レジスタをロードするため必要な番込み信号はレジスタ201-15に送出されるマイクロ命令に含まれるフィールドにより確立される。

第2図から判るように、前記レジスタは1対の出力バスWRPとWRRに接続される。バスWRPはアドレス入力204-5と、スイッチ203-18と、スタックパッド・メモリ-203-10に接続する。バスWRRはAオペランド・スイッチ203-20と、Bオペランド・スイッチ204-1と、レジスタ204-20と、レジスタ204-22に接続する。バスWRRおよびWRRに対して接続するため選択されたレジスタは、レジスタ201-15に送出されたマイクロ命令内に含まれる1対のフィールドにより示される。

第2図から判るように、処理セクション204はプロセス制御レジスタ204-20とプロセス制御レジスタ204-22を含んでいる。前述の

60

特開53-108747(15)

レジスタのいずれか1つおよびデータ出力レジスタ204-14に対して1対の出力回路上の4位置データ・セレクト・スイッチ204-8を介して選択的に転送される。データ出力レジスタ204-14はプロセサ・データ・インターフェース600の回路に接続する。

本発明の目的に対しては、加算/シフト装置204-1は構造上公知のものと考えられる。又、同装置204-1は、J・P・スタッフオード(Stafford)の米国特許第3,811,039号に開示された如き回路又は本明細書に引用された他の米国特許出願に開示された回路のいずれかを含んでもよい。

ブロック204-12は、命令カウンタのためおよび命令の実行中アドレスのための一時的記憶を提供する4つの作業レジスタR0乃至R3を含んでいる。このレジスタは、スイッチ204-8に接続されたゾーンの内のいずれか1つ(即ち、加算/シフト装置204-1、アドレス・スイッチ204-6、PSR/PCRスイッチ204-24、

61

如くプロセス状態レジスタ204-20は出力バスWRRを介してスタックパッド・メモリ-203-10からロードされる。プロセス制御レジスタ204-22は8つの全ての読み込みレベルに共通の36ビット・レジスタである。

プロセス制御レジスタ204-22のビット位値は下記の情報を含んでいる。ビット位置0-8は下記を含む異なるタイプのマスター・モードでない例外を表示する。即ち、

PCRビット位置	例 外 状 態
0	未完了操作、図録ARA又はARDA上のSIU100からの応答なし
1	ページ・アドレスは離散状態(キャッチ)
2	ページ・アクセス故障
3	ページはメモリ・中に存在せず
4	途切操作
5	プロセス・タイマーはランアウト
6	断るふれ
7	ロックアップ故障

62

8 アドレス位置合せ不良

「故障」なる用語に必ずしもハードウェアの故障発生を意味するものでなくエラー条件等も含むものである。

ビット位置9～15はパリティ・エラーの場所を識別し、ビット位置23～26はPNIDおよびA I L 図面から受取ったプロセッサ番号とレベルを識別する。ビット位置27は読み込み禁止ビット位置であり、ビット位置28～35は2進数1にセットされる時ビット位置に対応するレベル（例、ビット28＝レベル0）における読み込みを表示する読み込み要求ビットを記憶する。ビット位置27～35は出力バスWRRを介してブロック204-12のレジスタ列からのプログラム命令によりロード可能である。レジスタ204-20と204-22の各々の内容は、2位置データ・セレクト・スイッチ204-24を介して4位置データ・セレクト・スイッチ204-8の位置の他の1つに対して入力として選択的に与えられる。レジスタ204-20は又、2位置読取セレクト・スイ

84

あるが、又読出し操作サイクルが書き込み操作サイクルであるかどうか表示するよう符号化されたマイクロ命令のフィールドの1つのビットに対応する。1メモリ・サイクルの開始即ち1指令の開始と同時に、読取スイッチ204-10からの信号はプロセッサ200のデータ・インターフェース600の通常の図面に対して信号を与える読取レジスタ204-16にロードされる。前に述べたように、別の読取情報を含む指令はPI指令の場合におけるアドレス・スイッチ204-6の位置2により与えられる。

又図2面から判るように、読取セクション204は、WRRバスに接続されたレジスタの1つからアドレス信号を受取るアドレス入力204-5を介してアドレス指定可能なスクラッチパッド・メモリ-204-4を含んでいる。スクラッチパッド・メモリ-204-4は、局部メモリ・モジュール500をアドレス指定するための絶対アドレスの生成に使用される8つの読み込みレベルの各々に対してページ・データ・アドレス記憶を提

85

特開53-108747

ック204-10と4位置アドレスエンクロード・スイッチ204-6のPI位置に接続する。

読取スイッチ204-10は、読取モジュールに対して指令を伝送するための使用されるSUI-00に読取情報を与える。レジスタ201-15に記憶されたマイクロ命令に含まれるフィールドの1つはメモリ・指令又はPI指令のいずれかに対して通常の位置を選択する。メモリ・指令のための読取情報は、マイクロ命令に含まれるフィールドから、スクラッチパッド・メモリ-204-4からのページを付したアドレス情報又はバスWRRからの絶対アドレス情報を用いて生成される。

R/W指令に対しては、読取情報は下記の如く生成される。即ち、ビット0はR/W指令に対する2進数等であり、ビット1は局部ノリモート・メモリを規定しかつPTWビット0（ページ付）又はWRRPビット0（絶対）に対応する。ビット2～4はPTW1～3（ページ付）又はWRRPビット1～3（絶対）に対応する。ビット5～6は、これが半ワード又は2倍ワード伝送で

86

供する。アドレス指定される時、スクラッチパッド・メモリ-204-4の記憶場所の内容は、アドレス・スイッチ204-6の4位置の内2つに読出される。これ等の2つの位置は局部メモリ・モジュール500のページ照合のために使用される。スクラッチパッド・メモリ-204-4のページ付け操作は特に本発明に開示するものではないため、本文では詳細な説明は行わない。

アドレス・セレクト・スイッチ204-6の他の2つの位置はメモリ・即ちPI指令を与えるために用いられる。即ち、アドレス・スイッチ204-6の位置1は、レジスタ201-15に記憶されたマイクロ命令ワードのアドレス制御フィールドにより選択される時、マイクロ命令ワードの定められたフィールドに従つてビット0～8を含み、かつメモリ-204-4からのページ付けされたアドレス情報がブロック204-12の作業レジスタにより出力バスWRRPに与えられた絶対アドレス・ビットに対応するよう符号化されたビット9～35を含むR/Wメモリ・指令情報を

87

生成する。スイッチ204-6のP1位置が選択される時、このスイッチは、ビット0が2進数であり、ビット1はレジスタ201-15に記憶されるマイクロ命令ワードの1フィールドにより与えられ、ビット2はPSRレジスタ204-20のビット9により与えられかつ換プロセスがある外部のレジスタを変更できるかどうかを規定し、ビット5-8はレジスタ204-20のビット4-7に等しくかつモジュール内のポート即ちサブチャンネルを規定し、ビット3はSIU100により与えられるプロセッサ番号を指定するよう符号化され、ビット4は零であり、ビット9-35はP1指令の絶対アドレスに対応するパスワードのビット9-35に等しいプログラム可能インターフェイス指令ワードを生成する。

局部メモリー・モジュール500の詳細

図4は、本発明のシステムおよび本発明の指示内容に従う局部メモリー・モジュール500の置ましい実施態様を含む三ブロックを示す。同図において、モジュール500は、カッシー記憶セ

67

含む8つのバイト・セクションに分割されている。各回路チップは、各ワードが4バイト（バイト＝9データ・ビット＋1パリティ・ビット）を有する4つの40ビット・ワードに各ブロックが規定される64ブロックのアドレス場所即ち256のアドレス場所の容量を提供するチップの合計数を有する128のアドレス指定可能な2ビット巾の記憶域を含んでいる。

登録の記憶域500-22は各カッシー・ブロックのアドレスを記憶し、同時に4レベルに構成されている。記憶500-22は、どのレベルのカッシーが次の操作サイクルの間書き込まれるかを規定するためのラウンド・ロビン・カウンタ値（指示せず）を含む。カッシーの異なるレベルは80ビットのコラムを規定し、カッシー・ブロックは2つのこのようなコラムを含んでいる。登録記憶域500-22はこのようにカッシー内のブロック数に対応するコラム数に分割されている。本発明の目的のためには、本構成は構造上公知と考えられ、R・E・ランジ(Langi)等の米

68

特許第3,845,474号に開示された構成と製造させることができる。カッシー記憶セクション500-4、入力レジスタ・セクション500-12、制御回路セクション500-6、入力スイッチ・セクション500-8、出力スイッチ・セクション500-10から指示の如く構成される。出力スイッチ・セクション500-10と入力レジスタ・セクション500-12は、以下に説明するようにSIU100を介してプロセッサPO又はマルチプレクサ・モジュール300のいずれかに対してデータおよび制御情報を送受する。

図6に更に詳細に示されるカッシー記憶セクション500-2は、関連する制御回路500-21を有するカッシー500-20と、関連する比較回路500-24を有する登録域には記憶500-22と、ビット記憶回路500-28と、制御回路500-26とを並列的に接続してなる。カッシー記憶装置は4つのレベル即ちセクションに構成され、その各々は概念的に公知の複数のバイポーラ回路チップから構成されている。各レベルは、夫々5つのバイポーラ回路チップを

69

図特許第3,845,474号に開示された構成と製造させることができる。カッシー記憶セクション500-4は、補助記憶装置500-40と、タイミング回路500-48と、16ビットの出力レジスタ500-42と、データ訂正誤パリティ発生回路500-44と、ブロック500-46の多数の制御回路とを第7図に示す如く構成して

登録記憶域500-22はブロック500-24の比較回路に対してアドレス信号を与える。構造的には公知のこれ等回路は、要求されている情報が4レベルの内のいずれかにおけるカッシーに存在する（即ちビットの存在）かどうかを検出するよう作用する。比較回路500-24は比較の結果をブロック500-28のビット回路に与える。ビット回路500-28は更に、ブロック500-6の制御回路500-6に対して入力として与えられるビット表示を記憶する。補助記憶セクション500-4は、補助記憶装置500-40と、タイミング回路500-48と、16ビットの出力レジスタ500-42と、データ訂正誤パリティ発生回路500-44と、ブロック500-46の多数の制御回路とを第7図に示す如く構成して

70

なる。図500-48はカウンタ回路および遅延回路を含んでいる。これは構成上は公知であるが、メモリ・モジュール500-2の全操作を同期させるためのタイミング制御信号を与える。

補助記憶装置500-40は、構成上は公知の4KのMOSメモリ・チップから構成され、各ワードが40ビット(32Kブロック)を有する128Kのメモリ・ワード容量を有する。データ訂正並行タイリ発生回路は、補助記憶装置500-40から読出されかつこれに書込まれるワードにおけるエラーを検出して訂正するよう作用する。本発明の目的のためには、これ等回路は構成上公知のものと考えられる。

第6図から判るように、入力レジスタ・セクションはゾーン、アドレス線指令(ZAC)レジスタ500-120、第1のワード・パツファ・レジスタ500-122と第2のワード・パツファ・レジスタ500-123を図示の如く組合してなる。ZACレジスタ500-120は第8図に

07

ブロック500-6の回路図は、ZACレジスタ500-120に記憶された指令により指定される操作を実施するための内部メモリ・モジュールの異なる部分を付勢するための各種の制御タイミング信号を生成する。これは、補助記憶装置500-40に書込まれ、又補助記憶装置500-40とカッシー500-20からそれぞれ読出されるデータ信号のグループを選択するため入力マルチプレクサ・スイッチ500-8および出力マルチプレクサ・スイッチ500-10に対する制御信号の分配動作を含んでいる。本発明の目的に対しては、以下に記述する第7図の回路図に加えて、マルチプレクサ、データ・セレクト回路およびレジスタは構成上公知と考えられ、前述のチャタス・インストルメンツ社のチャートに開示された回路の形態をとる事ができる。

第7図はブロック500-6、500-21、500-26および500-46のあるものを更に詳細に示している。尚図によれば、ブロック500-6の制御回路は複数個のAND/NAND

08

示されたフォーマットを有するZAC指令ワードを記憶する。入力パツファ・レジスタ500-122と500-123は接続されて、リクエスタ・モジュールよりインターフェース603のDM回路に与えられるZAC指令のデータワード(単数又は複数)を受取る。レジスタ500-122と500-123の内容は2つのマルチプレクサ・スイッチ500-8の一方の異なるバイト位置に与えられる。本発明によれば、スイッチ500-8も又、前述の如く補助記憶装置500-40とカッシー500-20に書込まれる読み合わせられたデータを用いて新しい入力データと読み合わせられる補助記憶装置から読出されたデータを受取る。

ZACレジスタ500-120の指令内容はブロック500-6に含まれるデコーダ・ゲート回路に与えられ、アドレス信号はブロック500-6の回路図、登録記憶装置500-22、カッシー500-20、およびそのアドレス指定のための補助記憶装置500-40に分配される。

09

ゲート500-60乃至500-74を有する事が判る。ゲート500-60、500-61、および500-62はZACレジスタ500-120からZAC指令ビット信号およびカッシー・パイバス信号の異なるものを受取るよう接続されている。これ等の信号は図示の如く組み合わされ、ゲート500-64および500-74に与えられる。その結果得られる読出しロードおよび書き込みロード指令信号はカッシー制御回路500-21、登録制御回路500-26および補助記憶装置制御回路500-46に対して図示の如く与えられる。RCL000およびRCL100の如き他の指令信号は又補助記憶回路500-46に与えられる。

第7図から判るように、カッシー制御回路500-21は、書き込みカッシー・タイミング信号WRCACHE100を書込みクロック可能回路500-214に与える直列接続されたNAND/ANDゲート500-210および500-212を有する。書き込み可能回路500-214は構成上公知

06

の論理作用ゲート回路を含み、この回路は書き込み作用サイクルの実行に必要なカッシー500-20に対する適当なタイミング信号を与える。更に、制御回路は、書き込み命令および読出し命令にそれぞれ応答して補助記憶装置500-40から80ビットの更新されたデータか1ブロックのデータのいずれかをカッシーに送込むのに必要なアドレス・ビット32の状態を変更するよう作用するAND/NANDゲート500-216乃至500-222を更に含んでいる。

同様に、登録制御回路は直列接続されたNAND/ANDゲート500-260、500-262および500-264を含み、その最後のゲートは書き込み可能回路500-266に対して書き込み登録タイミング信号を与える。この書き込み可能回路500-266は構造上公知の論理ゲート回路を含み、これは書き込み作用サイクルの実行に必要な登録記憶装置500-22に適当なタイミング信号を与える。

補助記憶制御回路500-46は第1のグループ

09

の論理回路の使用可能動作が禁止される。

第7図の最後のグループの回路は第6図のヒット・レジスタ回路500-28を構成する。この回路は、図示の如く構成されたANDゲート500-281に加えてNAND/ANDゲート500-280と500-282を含む。NAND/ANDゲート500-280は、比較回路500-24からその結果生じた比較信号を受取り、ゲート500-282に登録値比較表示を与える。更にゲート500-282の出力はヒット・レジスタ・フリップフロップ500-284のセット入力に与えられる。NAND/ANDゲート500-284はフリップフロップ500-284のリセット入力に対し状態反転して与えるSIU100からの受入れZAC信号を受取る。フリップフロップ500-284からの2進数1および零の出力信号はその後続第7図のブロックの各々に対して分配される。ブロック500-478の論理回路は書き込み信号を生じるよう作用する公知のゲートを含む。

システム・インターフェース装置100の詳細

07

第7図の如くシステム・インターフェース装置100は複数のAND/NANDゲート500-460乃至500-468を含む。これ等ゲートは補助記憶装置要求信号BSREQ100を生成し、データ信号に補助記憶装置の読出し/書き込み操作サイクルを開始させ、SIU100に対して補助記憶装置のデータの転送を可能にするよう作用する。ゲート500-460乃至500-468は、全最長ビットがない時（即ち、信号HIT000=1）読出し/書き込み操作サイクル、書き込み操作サイクル、および読出し/クリア操作サイクルに対する補助記憶装置要求信号BSREQ100を生成する。第2の直列接続されたAND/NANDゲート500-470乃至500-476は、エラー・条件（即ち、信号LME000は2進数である）の発生と同時に補助記憶装置書き込み禁止信号DISABESW100を生成するよう作用する。例えば、WRITEサイクルの読出し部分においては、非逆転エラー・条件の検出は信号LME000を2進数で抑制する。このため、ブロック500-266と500-214の論理回路と共にブロック500-478

08

読み込みセクション101

前述の如くシステム・インターフェース装置100は複数のクロスバー・スイッチを介して第1図のシステムの各モジュール間の連絡を行う。別個のクロスバー・スイッチを用いてモジュールの各インターフェースの回路からの信号を受取る。第3図はモジュール読み込みインターフェースを構成するための読み込みセクション101の各スイッチおよび回路を示す。第1図のシステムには各々がその読み込みインターフェース602の異なる回路を介してSIU100に対し信号を与えるポートLMO、A、E、GおよびJに接続するモジュールがある。更に、SIU100は又読み込みのポートIと関連する読み込みインターフェースを介して信号を与える。

第3図から判るように、アービスを要求する時各モジュールは、読み込み優先順位制御ブロック101-2の論理回路に与えられるそのIDA回路上の適当な読み込み識別情報と共に、その読み込み要求（IR）回路上で信号を与える。ブロック

06

101-2の諸回路は全ての読み込みインターフェースを監視し、実行中のプロセスの優先順位により高い順位を有する要求がある時プロセッサ200に対応する該当のプロセッサに信号する。プロセッサ200が要求を受入れる事ができる事を信号する時、SIU100はプロセッサ200に対する最優先順位の要求と関連する識別子情報をクエリする。この識別子情報は、パリティ・ビット、3ビット読み込みレベル番号、およびパリティ・ビットと4ビット・チャネル番号を有する1ビット・プロセッサ番号を有する8ビットの読み込み制御ブロック番号を有する。

読み込みセクション101について更に詳細に考察すれば、ブロック101-2の諸回路はプロセッサ番号および読み込み要求番号を信号するデコード回路を含む。パリティ・エラーがないものと仮定すれば、デコード回路からの出力信号は表示されたプロセッサの論理回路の優先順位論理回路に与えられる。優先順位論理回路は読み込みレベル番号を復号し、最優先レベルを決定し、次いで最優先

10

回路又はレベル寄存器(LZP)回路の2進数1への強制に先立つて強制されたSIU100に記憶してプロセッサ200がIDR回路を2進数1に強制する時、AISI回路に与えられる。我プロセスが読み込まれないよう禁止されていなければ、読み込み要求はプロセッサ200に実行プロセスを中断させ、前述の識別子情報を含むSIU100から読み込みワードを受入れさせる。特に、この読み込みワードは下記の如くフォーマット化される。即ち、

ビット0は新しい読み込みビット位置である。2進数1にセットされると読み込みは新しく、2進数0にセットされると読み込みは再開されるべき時に読み込まれたプロセスである事を表示する。

ビット1-17は使用されず、2進数0である。

ビット18-27は読み込み制御ブロック番号を規定してビット18と27を2進数0にセットさせる。

ビット28-31はSIU100により生成され、本発明に従い本文中に説明される如くソース・モジュールを識別する。

10

レベルと最上位のポート順位を有するモジュールが選択されるようにポート順位を決定する。あるレベル内の読み込みポート順位は下記の如くである。即ち、ポートA；ポートB；ポートC；ポートD；ポートE；ポートF；ポートG；ポートH；ポートJおよびポートK。この事は、第1図のシステムにおいては実行プロセスのポートが最優先順位を有し、これに次いでSIU100、高速マルチプレクサ300、上記プロセッサ700、プロセッサ200、および低速マルチプレクサ400となる。

ブロック101-2の優先順位回路は以下の出力回路の1つに出力信号を生成するよう作用する(但し、これはシステム内の読み込みモジュールの数の出力回路は8位置のデータ・セレクト・スイッチ101-4に与えられ、該スイッチはこの時レジスタ101-6にロードされつゝあるレベルより高い優先順位を有する読み込みレベルの読み込みレベル番号を選択する。レジスタ101-6からの出力信号は、高レベル読み込み存在(HLP)

10

ビット32-35は多数のポートを有するモジュールにより生成され、本発明に従い本文中に説明される如くソース・モジュール内のサブチャネル即ちポートを識別する。

ブロック101-2の諸回路の機能に關する更に詳細な内容については、本明細書の後述に引用した「優先順位読み込みハードウェア」なる係属中の米国特許出願を参照されたい。

又、読み込み優先回路101-2からの出力回路は別のデータ・セレクト・スイッチ回路101-8に与えられる事が利する。最優先順位を有する要求モジュールのみが信号をセレクト回路101-8に与えるため、セレクト回路は、要求側のモジュールが与える優先順位が連続する物理的ポート(即ち読み込みワードのビット28-31)を識別する予め定められたワイアード・インされた符号化後向信号の組を与えるように構成されている。

本発明に係るにおいては、下記の後向コードが第1図のモジュール識別のために生成される。

10

コード	識別された SIU ポート (モジュール)
0000	局部メモリ・モジュールポート LMC
0001	ポート K
0010	SIU100 ポート L
0101	低速マルチプレクサ 400 ポート J
0110	プロセッサ 200 ポート G
1101	高速マルチプレクサ 300 ポート A
1110	上位プロセッサ 700 ポート E

セレクト回路 101-8 により生成された 4 ビット・コードは更にゲート回路 101-12 内に含まれる 1 グループの公知の AND ゲート回路に与えられる。異なるソース・システム・モジュールにより与えられる他の識別情報は又回路 101-12 の他のゲート回路に与えられる。特に、各モジュールは、8 位置のデータ・セレクト・スイッチ回路 101-14 の各位置の 1 つに対してその IDA 回路を介して読み込み制御ブロック

83

タ・フェース 600 上のマルチプレクサ 300 に転送するかを確定する優先回路を含んでいる。更に、セクション 102 は、どのソース・モジュールがデータ又は指令を局部メモリ・モジュール 500 に転送しようとしているかを決定する優先回路を含んでいる。

1 モジュールが他のモジュールに対する要求を生成した時 1 対のモジュール間の転送が生じる事、およびこの要求が他のモジュールにより受入れられた事が判るであろう。要求が受入れられるためには、要求側のモジュールは適当な状態を持たねばならず、両モジュールは情報を受取る状態になければならず、転送が行われる転送経路は使用可能でなければならない(図 1、使用中でない)。

プロセッサ 200 によりセクション 102 に与えられる信号に因しては、これ等信号の発生は、第 2 図のプロセッサ・レジスタ 201-15 に送出されるマイクロ命令の異なるフィールドにより大きく左右される。例えば、ブロック 102-4 の回路に与えられるプロセッサ 200 からの他の出力

84

信号、CBN) を与える。更に、各モジュールは、読み込みインターフェースの IMID 回路を介して、時刻 101-12 のゲート回路の他のものからソース・モジュールの要求側のマルチプレクサ 300 のポートを識別する情報を与える。プロセッサ 200 がその読み込みデータ要求 (IDR) 回路を 2 進数に強制する時、SIU100 はゲート回路 101-12 からの信号を 4 位置データ・セレクト・スイッチ回路 101-20 の各位置の 1 つを介してプロセッサ・データ・インターフェース 600 の SIU からのデータ (DFS) パス回路に与える。スイッチ 101-20 の他の位置については本発明の理解と関連しないため図示しない。

データ転送セクション 102

第 3 図はシステム・インターフェース装置 100 のデータ転送セクション 102 を示す。このセクションは、どのソース・モジュールが指令をそのプログラム可能インターフェース 601 上の高速マルチプレクサ 300 に転送し、かつどのソース・モジュールがデータをそのデータ・イン

85

ポート要求 (AUPR) 回路は、読み込み/書き込みメモリ・部からプログラム可能インターフェース指令の転送を規定するよう符号化されるレジスタ 201-15 に送出される各マイクロ命令の SIU 要求タイプ制御ビット・フィールドに従って可能となる。2 位置データ・セレクト・スイッチ 102-2 に与えられるプロセッサ・データ・インターフェース 600 の対 SIU データ回路 (DFS) は、第 2 図のプロセッサ・データ出力レジスタ 204-14 にロードされるマイクロプログラム制御下で生成される指令情報を構成する。対 SIU 検向データ (SDTS) 回路は、第 2 図のプロセッサ検向レジスタ 204-16 にロードされるマイクロプログラム制御下で生成される信号を受取る。

第 1 図のシステムに対しては、1/0 プロセッサのみが指令をマルチプレクサ 500 のみへ転送し、プロセッサ 200 は信号を回路 102-4 に与える。従って回路 102-4 は、モジュールが指令をマルチプレクサ 300 に転送を欲する時点を確認するたのプロセッサ・モジュールから検向情報

86

を符号するデコード回路を含んでいる。1つ以上のモジュールが同じサイクル中に伝送を欲する時、1つ以上のI/Oプロセッサがある場合、回路網102-4に含まれる優先順位回路は最優先順位を有するモジュールを選択し、そのプログラム可能インターフェース601のPDFS回路上のマルチプレクサ300に対する前記モジュールによる指令の伝送を可能にする。特に、回路網102-4は、適当なモジュールからの信号を選択する2位置セレクタ・スイッチ102-2に対して信号を与える。これは、マルチプレクサ300がSIU100に対し、P:R回路を2進数1に強制する事により指令を受入れる用意がある事を信号する時に生じる。同時に、回路網102-4はA:P回路を2進数1に強制してマルチプレクサ300に対してPDFS回路に与えられた指令を受入れる事を信号する。プロセッサ200が命令を実行してこれにプログラム可能インターフェース(P:)指令をマルチプレクサ300に対して送出させる時、プロセッサ200は指令のビット3に

動

令(ZAC)に適合して生じる。マルチプレクサ300が指令を前送する時、SIU100は、マルチプレクサ300から受取ったマルチポート識別子情報に従属する適当な4ビットのリクエスタ識別子コード(識別コード)を生成する。この情報はメモリ・モジュール500により記憶され、モジュール500が読出しデータ伝送要求を生じてマルチプレクサ300がこのデータを受取るべき事を表示する時SIU100に與えられる。又、SIU100はこの要求を受入れる時、回路ARDAを2進数1に強制する事によりマルチプレクサ300に通知する。

読出しデータ伝送要求(RDTR)回路は、メモリ・モジュール500によりセプトされる時、回路網102-14に対して1操作サイクルの間に読出された情報を伝送する用意がある事を信号する。内部メモリ・モジュール500は又メモリからのリクエスタ識別子(RIFM)回路に信号を与えて情報が伝送されるべき要求側モジュールを識別する。

動

プロセッサの番号識別を置く。マルチプレクサ300は、読み込み要求を出しこの時プロセッサ番号が前送の如く読み込みデータの一部として含まれる迄は指令に含まれるプロセッサ番号を記憶する。P:指令がマルチプレクサ300に前送される時、リクエストとしての識別情報識別プロセッサ200はマルチプレクサ300(ポートA)と関連するレジスタ102-6に記憶される。前述の如く、マルチプレクサ300がデータ伝送要求をSIU100に対して生成する事により適合する命令、レジスタ102-6の内部はデータを受取る要求のモジュールとしてプロセッサ200を識別するのに用いられる。

データ信号をマルチプレクサ300に伝送するため同様な構成が用いられる。試1区に於いて、メモリ・モジュール500はデータをマルチプレクサ300に伝送する唯一のモジュールである。このような伝送は前述の如く回路網102-20を介してマルチプレクサ300によりメモリ・モジュール500に前送される読出しメモリ・指

動

特に、デコード回路網102-14内の諸回路はPIFM回路に与えられた識別信号を符号し、内部メモリ・モジュール500が情報をマルチプレクサ300(マルチプレクサ300がこの情報を受取る用意があるものと仮定して)に情報を伝送する用意がある事を前記信号が表示する時、デコード回路網102-14は適当な信号をセレクタスイッチ102-12とゲート回路網102-16内の諸回路とに対して与える。

更に、デコード回路網102-14は信号をデータインターフェースの読出しデータ受入れ(ARDA)回路に与えて、そのインターフェース600のSIUからのデータ(DFS)回路を受入れるべき事をマルチプレクサ300に対して信号する。ブロック102-16の諸回路は適当なマルチポート識別子情報をSIUからのマルチポート識別子(MIFS)回路に与え、RIFM回路から得られる要求側サブチャネルを識別する。伝送が生じる時、回路網102-14はRDAA回路を2進数1に強制して、要求側のモジュールに

動

してデータがメモリ・モジュール500に
より
送られた事を信号する。

回路網102-14に類似の構成をSIU100
に用いて第1図のモジュールのいずれかからの
PIおよびメモリ・指令を局部メモリ・モジ
ュール500に転送する。モジュール500は、プ
ログラム可能インタフェース又はメモリ・指令
のいずれかを受入れる用途がある時、デコード回
路網102-20に与えられるプログラム可能イ
ンタフェース要求(PIR)回路又はZACイ
ンタフェース要求(ZIR)回路のいずれかを
2進数1に強制するよう作用する。更に、プロセ
サ200と、プロセサ700と、マルチプレクサ
300とは回路網102-20の信号を活動出力
ポート要求(AOPR)回路に、又換間データを各
データ・インタフェースのSIU回路に与える。
モジュールの各々により与えられる換間情報の信
号と同時に回路網102-20は、メモリ・モ
ジュール・データ・インタフェース603の対
SIUデータ転送回路に対して優先順位を有す

80

て102-20を介してプロセサ200に転送す
るよう作用する。プロセサ200は一時に1つの
指令を処理するため、プロセサ要求に回答してプ
ロセサのDFS回路に対する転送のためセレクト
・スイッチ102-20に対しデータを与えるモ
ジュール間には競合が生じない事が利するであ
る。即ち、プロセサ200が指令を第1図のモジ
ュールの1つに送出した後、その作用は抑制され
て要求されたデータの受取りを留保する。SIU
100は、プロセサの要求の受入れと同時に、プ
ロセサARA回路を強制してプロセサの動作を連
続させる。

別個の回路網102-40はPI指令に回答す
るこれ等モジュールからのデータ展し要求を処理
する。回路網102-40は、指示しない他のモ
ジュールのレジスタと共にレジスタ102-6か
らRDTR回路に与えられる信号を信号する。モジ
ュールが要求されたデータをプロセサ200に展
せようとしている事(即ち、マルチプレクサ300
のレジスタ102-6に記憶されたリクエスト成

81

特開第53-106747 24

るモジュールに信号を与える事を可能にするため
の3位値セレクト・スイッチ102-24に適合
な信号を生成するよう作用する。又、回路網102
-20は、ゲート回路網102-26を介してモ
ジュールメモリ・モジュール・インタフェース603
の対メモリ・要求識別字(RITM)回路上の適合
なリクエスト識別信号と共に、プログラム可能指
令受入れ(APC)回路又はZAC指令受入れモ
ード(AZC)のいずれかに対して信号を与える
事が利する。

最後の2つの回路網102-30と102-40
を用いてメモリ・データおよびプログラム可能
インタフェース・データを、プロセサ200に
より前に生成されたメモリ・指令およびPI指令
のそれぞれに回答してプロセサ200に対して転
送する。第3図から利するよう、優先順位デコ
ード回路網102-30は回路網102-14と
同じ入力回路を有し、同じ方法で要求されたメモ
リ・データを第3図のデータ・セレクト・スイ
ッチ102-32と4位値のセレクト・スイッ

82

チ)事をSIU100が検出すると、回路網102
-40は、要求されたデータをプロセサ200に
展せようとするモジュールのPIインタフェース
のPDTS回路からの信号を与えるように3位値デ
ータ・セレクト回路102-42を条件付ける信
号を生成する。これ等の信号は、更に、モジ
ュール要求信号により条件付けられる第3図のセ
レクト・スイッチ101-20を介してプロセサの
DFS回路に与えられる。次の操作サイクルの間、
回路網102-40はRDAA回路を2進数1に強
制して、PDTS回路に与えられたデータが受入れ
られた事、およびこのモジュールはこの時このよ
うなデータを転送できる(即ちその出力レジスタ
をクリアする)事をモジュールに対して信号する。
このように、スイッチ101-20は3つのタイ
プのデータの内のいずれか1つをプロセサのデ
ータ・インタフェース600のDFS回路に選択
的に与える事が利する。

本発明の目的に於いては、第3図のブロック
の各々に含まれる諸回路は構造上公知であると考

83

える事ができ、テサス・インストルメンツ社の前記の文献に示される論道図面を含めてもよい。又、本発明の目的に対しては、スイツチング図解例は従来周知のクロスバ・スイツチを含む事ができる。

作用説明

本発明のシステムの作用については、第1図乃至第9図に就いて以下に説明する。第8図から判るように、制御メモリ・モジュール500は多くの異なるタイプのZAC指令の実施が可能である。要するに、モジュール500は下記の如く定義される5つの異なるタイプのZAC指令の処理が可能である。

1. 読出し単指令

アドレス指定されたメモリ・場所の内容(1ワード)が読出されてリクエストに送出される。メモリ・内容は変更されない。ZACビット9は、カッシュエがロードされるかバイパスされるかを規定する。然し、もしこのブロックが既にカッシュエにロードされていれば、読出しタイトルがカッシュ

エ内で行われて情報がカッシュエから取こされる。

2. 読出し/クリア単指令

アドレス指定されたメモリ・場所の内容(1ワード)は読出され、リクエストに送出され、メモリ・場所(1ワード)は良好なバリタイ(又はDAC)ビットを用いて零にクリアされる。アドレス指定されたワードを含むデータブロックはカッシュエにロードされない。もしこのブロックが既にカッシュエにロードされれば、アドレス指定されたワードも又カッシュエ内で零にクリアされる。

3. 読出し2倍指令

アドレス指定されたメモリ・場所(2ワード)の内容が読出されてリクエスト・ワードに1次送出される。メモリ・の内容は変更されない。ZACビット9はカッシュエがロードされるかバイパスされるかを規定する。然し、もしこのブロックが既にカッシュエ内にロードされておれば、読出しタイトルはカッシュエ内で行われて情報がカッシュエから取出される。

4. 書き込み単指令

リクエストにより与えられるデータ・ワードの1乃至4バイトがアドレス指定されたメモリ・場所に記憶される。記憶されるバイトはゾーンビットで指定される。ゾーン・ビット5、6、7および8はそれぞれバイト0、1、2および3を制御する。記憶されないバイト位置のメモリ・場所は変更されずに残る。アドレス指定されたワードを含むデータ・ブロックはカッシュエ内にロードされない。然し、ブロックが既にカッシュエ内にある時、ワードが更新される。

5. 書き込み2倍指令

リクエストにより与えられる2データ・ワードはアドレス指定されたメモリ・場所に記憶される。このデータ・ブロックはカッシュエにロードされない。然し、ブロックが既にカッシュエ内にある時、2ワードが更新される。

異なるZAC指令に対する特定のコードは下記の如くである。他の可能な11のコードが適法として定義され、前述の如くエラー信号を生じる。

CMD	ゾーン	カッシュエ・バイパス ビット	動作				
			読出し単指令	読出し・クリア単指令	読出し2倍指令	書き込み単指令(ゾーン化)	書き込み2倍指令
1	2	3	4	5	6	7	8
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0
1	0	0	0	0	1	0	0
1	1	0	0	0	1	0	0
1	1	1	0	0	1	1	1
1	1	1	1	0	1	1	1

例えば、最初にプロセッサ200の1つが一連のプログラム命令の実行を開始するよう作用し、局部メモリ・モジュール500の命令を指定するものとする。この事例では、最初と後続する命令は、指標値およびアドレス・シフトを含む別のフィールドを記憶する汎用レジスタを指定する少なくとも1つのフィールドを含むようフォーマット化される。汎用レジスタ指標値の内容は、2進数等にセットされたものと決定されるバイパス・ビット9の状態を規定する。プロセッサ200は情報を読み合わせて絶対アドレスを生じる。

一旦絶対アドレスが計算されると、プロセッサ200は所要のメモリ・指令ワードと、局部メモリ・モジュール500に指令を指向するための適切なS・I・U操作情報を生成する。指向および指令は第8図に示されるフォーマットを有する。

前述の事を更に詳細に考察すれば、各命令のO・PコードはZ・A・C指令の発生により行われるメモリ・の融合操作を指定するよう符号化される。最初の命令のO・Pコードは命令レジスタスイッチ

(10)

の指標が指定される時、第2の汎用レジスタ場所に記憶される値を、レジスタR2において以前に記憶された結果に加算する同様な操作が行われる。ビット9に対する適切な値は第1の汎用レジスタにおけるよりもむしろ第2の汎用レジスタに記憶され得た事が容易に利するであろう。

命令の実行相においては、プロセッサ200は局部メモリ・500に対してZ・A・C指令を生成するよう作用して読出し操作を指定し、メモリ・204-4又はR2レジスタのいずれかから得た適切なメモリ・アドレスを与える。絶対アドレスをとれば、レジスタR2からのアドレスはW・R・P・バスに与えられ、アドレス・スイッチ204-6およびクロスバ・スイッチ204-8のR/W位置を介してデータ・アウト・レジスタ204-14にロードされる。

指向スイッチ204-10はメモリ・の操作サイクルに対するS・I・U指向を与える。信号は第8図のフォーマットを有し、R/W指令を局部メモリ・モジュール500又はこのモジュールが覆

(11)

202-4によりメモリ・に連通する1つを融合させるメモリ・201-2に与えられる。この操作の内容はレジスタ201-4に記憶され、命令記憶に必要とされるマイクロ命令シーケンスの記憶記憶量201-10における記憶アドレスを指定する1つのアドレスを含んでいる。

該命令の実行中に開始する第1の命令記憶相においては、次の命令の指標ビットはスイッチ203-14の位置3を介してスクランツパッド・メモリ・203-10の汎用レジスタ場所の指定された1つをアドレス指定するのに使用される（即ち、L・v・XR1）。場所の内容はバスア203-16に送出される。

指標レジスタの内容はスイッチ203-20の位置0を介して、命令の位置フィールドがスイッチ204-1の位置0を介して加算回路204-2のBオペランド入力に与えられる加算回路204-2のAオペランド入力に与えられる。前者は一回に加算され、その結果はスイッチ204-9を介して作成レジスタR2に転送される。第2レベ

(12)

ルするポートL・M・Oに転送するためのS・I・Uが使用する情報を与える。これ等信号は、マイクロプログラム制御下でレジスタ201-15およびアドレススイッチ204-6から指向スイッチ204-10のR/W位置を介して指向レジスタ204-16のビット位置にロードされる。

マイクロ命令フィールドの符号化および指向情報の生成に關するこれ以上の内容については、係属中の米国特許出願「メモリ・アクセス・システム」を照合されたい。

両方のレジスタ204-4および204-16のローディングに続いて、プロセッサ200はA・O・P・R回路を2進数1に強制し、この状態がR/W指令の局部メモリ・モジュール500への転送のための信号シーケンスを開始する。又、プロセッサ200は命令カウンタ（I・C）を増分し、作成レジスタR3にその結果を記憶する。次いでプロセッサ200は、S・I・U・100からA・R・A回路を介して信号を受取り要求の空入力を表示する迄次のマイクロ命令の実行を遅延させる。

(13)

SIU100 は、データ・タイトルに続くアドレス／指示タイトルである1対のS/Uタイトルを要求するものとしてR/W指令を示す。局部メモリ・モジュール500が指令を受入れる用意があるものとすれば、ZIR回路は2進数1である（第9図において波形は負の論理信号で示される）。第30図のSIU優先回路102-4は、操作タイトルの局部メモリ・インターフェース602のDTM回路に対してSIUセレクト・スイッチを介して指令ワードを与えるよう作用する。プロセサ200は、SIU100がARA回路を2進数1に強制する迄指令ワードをデータ・アウト・レジスタ204-14に保持しながら待機する。同時に、SIU100はZAC回路を2進数1に切換え、モジュール500に対してR/W指令を受入れる事を信号する（第9図参照）。

ARA回路における状態の変化の検出と同時に、プロセサ200は、マイクロ命令の制御下で命令の処理を完了する。即ち、要求されたデータワードが前述の如くSIU100から受取られる迄待機

(10)

レス信号は、データのブロックが既にキャッシュ500-20に存在するかどうかを判定するために使用される。

又、回路DTM17-33に与えられるアドレス信号も又これから、ブロックのデータからの読出のための補助記憶装置500-40に与えられる事が判らう。

第9図から、要求される情報が既にキャッシュ500-20に記憶されたかどうかを決定するための全検索記憶装置500-22の設置を即時開始する事が判る。この装置操作は、クロック・パルス1Tと2T間の間隔の間に行われる。本事例においては、プロセサ200により要求される情報の一部がキャッシュ500-20に存在するものと仮定する。

第6図において、ブロック500-6の回路はZAC指令のビット1-4を信号する事が判る。ゾーン・ビット5-8はどのパイパスがメモリに送達されるべきかを指定するよう符号化される。ビット1は2進数1でありビット2-4は2進数

(10)

する。

ここで、メモリ・指令は送達手段性を指定するよう符号化される。第8図および第9図において、ZAC指令ワードの指示およびアドレス・データは、時点1T（即ち、システムクロック・パルス1Tが2進数1から2進数0に切換る際の後）においてZAC回路からの信号ZAC100に応じてZACレジスタ500-120にロードされる事が判る。ZACレジスタ500-120に記憶されたアドレス信号はDTM回路17-33から第6図に示される如く登録記憶装置500-22および登録比較回路500-24に対して入力として与えられる。

特に、DTM回路26-32に与えられるアドレス信号は登録記憶装置500-22をアドレス指定するためのブロック・アドレスとして使用され、回路DTM17-25に与えられるアドレス信号は登録装置読み操作の場合に登録記憶装置500-22に送達される信号に対応する。登録比較回路500-24に与えられる同じアド

(10)

等であるため、信号WR000は2進数0である。従つて、ゲート500-61は信号RR100を2進数0に強制し、信号WR/RCL100を2進数1に強制する。信号WR/RLL100はゲート500-64に対して与えられる。

信号LME/DE000は、通常局部メモリ・エラー又は登録エラーのない時2進数1である。要求される情報がキャッシュ500-20にあるものとすれば、ゲート500-280は信号DIRCOMP100を2進数1に強制する。これは、更にゲート500-282をして信号SETHIT100を2進数1に強制させる。クロック信号CLKDIR020の発生と同時に、ヒット・レジスタ・フリップフロップ500-284は2進数1に切換る。従つて、信号HIT000とHITREQ100はそれぞれ2進数0と2進数1に対応する（即ち、ヒット検出される）。

信号WR000はゲート500-462を条件付けして補助記憶装置の指示信号BSCMD100を2進数1に強制させる。読み込み指令が妥当である

(10)

(即ち、適正コードおよびフォーマット)ものと仮定すれば、信号TCERROR000は2進数1である。従つて、補助記憶装置のタイミング信号SL04T/NSL02T100の発生と同時に、ゲート500-464は補助記憶装置の要求信号BSREQ100をタイミングパルス1Tと2Tの間の間隔(第9図参照)において2進数1に強制するように作用する。これは補助記憶装置500-40に信号してメモリ・操作アイクルを開始させる。更に、信号WR000はゲート500-470をして信号BSWR100を2進数1に強制させる。これは書き込み命令であるから、ゲート500-472は信号WRDBL000を2進数1に強制する。従つて、信号LME000の状態はゲート500-476が信号DISABWR000を2進数等に強制するかどうかを決定する。エラーがないものと仮定するため、2進数1である信号LME000はゲート500-476を条件付けして信号DISABWR000を2進数1に強制する。これは、補助記憶装置の書き込み操作を生じさせる。

(107)

置換されるべき値を指定する。アドレス・ビットA33000が2進数1である時、ゾーン・ビットは、信号WD00-36100およびWDP0-P3100に対応するワード1のどのバイトが補助記憶装置500-46から読出された信号RD00-36111およびRDP0-P3111を置換すべきかを決定する。然し、アドレス・ビットA33000が2進数等である時、ゾーン・ビット信号は、信号WD37-711とWDP4-P7100に対応するワード2のどのバイトが信号RD37-71111およびRDP4-P7111を置換すべきかを決定する。第9図に示す如く信号におけるデータは時点2TでSIU100に与えられる。

スイッチ500-8から結果として組み合わされた出力信号WD00-7110およびWPO-WDP71110は、時点T7でカクシエ記憶装置500-20とブロック500-44の検査ビット生成回路に対するデータ入力として与えられる。従来の方式では、これ等回路は新旧の組み合わせデータ信号に対する所望のエラ・検出兼訂正検査ビット

(108)

補助記憶装置の要求に答へて、補助記憶装置500-40はデータの160ビットを出力レジスタ500-42に読出すよう作用する。このデータは、第9図に示す如くタイミング・パルスT7の発生に先立つて回路500-44の出力にて適正形態で生じる。

第6図から判るように、補助記憶装置500-46から読出されるデータおよび検査信号RD00-71111およびRDP0-P7111はスイッチ500-8に対して1組の入力として与えられる。これ等の信号はレジスタ500-12からデータおよび検査信号WD00-71111およびWDP0-P7111と合成される。これは、アドレス・ビット33および指令ビットの状態の機能として異なるバイトのソースを直接選択する回路DTM05-08100に与えられるゾーン・ビット信号の符号化である。書き込み信号の場合、ZACレジスタ500-12から得られるアドレス・ビット33の状態は、補助記憶装置500-46からのどのワードのバイトがSIU100からのワードで

(109)

を生じる。訂正できないエラー・条件の場合には、これ等の回路は、強制されるべき信号LME000を2進数等に強制する書き込みエラー・信号を生じる。その結果前述の如く書き込み操作アイクルの行切りを生じる。

信号RDLOAD100は2進数等であるため、ゲート500-260はゲート500-262を条件付けして信号ENABLEWR100を2進数等に強制する。従つて、全量書き込み可能回路500-266は使用禁止された状態を維持する。然し、第7図からは、信号WR000がNAND/ANDゲート500-61をして信号WR/RCL100を2進数1に強制させる事が判らう。登録エラー・又は局部メモリ・エラーがないものと仮定したので、信号LMD/DE000は2進数1となる。従つて、補助記憶装置のタイミング信号BS8T101の発生と同時に、NAND/ANDゲート500-64は信号WRLOAD000を2進数等に強制する。信号WRLOAD000はNANDゲートをして信号WRCACHE100を2進数1に強制させる。従つて、

(110)

NAND/ANDゲート500-212は、クロック信号CLK141の発生と同時に信号WRCACHE100を2進数1に強制するよう作用する。

図9図から判るように、カッシータ書き込み可能回路500-214はタイミング・パルス87の間書き込みカッシータ信号WRCACHE100により条件付けられて回路DTM-26-31に与えられるアドレス信号により指定されるコラムにおいて読み合わせ信号WD00-71110とWDPU-P7110をカッシータ記憶装置500-20に書き込む。アドレス・ビット32の状態は、80ビットが書き込まれるべきブロックの特定のコラムを規定する。更に、信号LWRB0100は2進数1(下位の80ビットに書き込み)であり、これがゲート500-218をして信号RDLDB0000を2進数1に強制させる。ゲート500-222はアドレス信号CAADDR32100にZACレジスタ500-120に記憶された状態アドレス信号をとらせる。即ち、アドレスビット32が2進数1である時、信号CAADDR32100は2進数1である。

(iii)

がカッシータ500-20に存在せず全検出比較が存在しない時(即ち、ヒットなし)は信号HIT000は2進数1となる事が判るであろう。同時に信号HITREG100は、信号MISS100を2進数1に強制する2進数0である。第7図から判るように、信号HITREG100はNAND/ANDゲート500-64をして信号WRLOAD000を2進数1に強制させる。これにより、カッシータ書き込み可能回路500-214が情報をカッシータ記憶装置500-20に書き込む事を禁止する。然し、この情報は前述の方法で補助記憶装置500-46に書き込まれる。

書き込み2倍指令も又カッシータ記憶装置500-20に記憶されるデータをリクエスタにより与えられる2つのデータ・ワードにより更新させる事が判るであろう。従つて、この指令の両ビット1および2は2進数1であり、ゾーン・ビットは全て2進数1である。図7図から、両信号DBL100とBSWR100は2進数1である事が判る。このため、NAND/ANDゲート500-472は信号

(iv)

及び、図9図から判るように、タイミングパルス79に続いて、回路500-478はタイミング信号BSWT40100に反応して書き込み補助記憶装置信号を生成する。信号WD00-79は補助記憶装置500-46に書き込まれる。単一線路の使用により同じデータ信号のカッシータ記憶装置500-20と補助記憶装置500-46の相方への書き込みが保証される事が判るであろう。更に、この線路のための所要の回路量が少くなる。

局部メモリー・モジュール500は、書き込み操作サイクルの完了時点で回路RDDRを2進数1に強制させて、ZAC指令により前に書き込まれるべく要求されたデータが受け入れられた状況としてSIU100に対して信号するよう作用する。プロセッサ200が2進数1に強制されたARDAにより信号されるデータ線路の確保に続いてデータを抹消した時、SIU100はRDAA回路を2進数1に強制する。この状態は局部メモリー・モジュール500に対して操作が完了した事を信号する。

プロセッサ200により書き込みを要求された情報

(v)

WRDBL000を2進数0に強制し、更にNANDゲート500-476をして信号DISABBSWR000を2進数1に強制させる。

前記の動作によりエラー・信号LME000の状態の如何に拘わらず書き込み操作サイクルの間回路500-478を使用可能な状態にする。その理由は、データ・ワードの一部(即ち、1乃至4バイト)よりもむしろ2ワード全体が補助記憶装置500-46とカッシータ記憶装置500-20に書き込まれる如きエラーが訂正可能であったのである。

前記の事情は、本発明の構成がいかにして同じデータが補助記憶装置において更新中である同じ間隔においてカッシータ記憶装置に記憶されるデータの自動的更新を可能にするかを示している。情報の記憶されたブロックは、書き込み指令の符号化に従つて1乃至4バイト即ち2ワードだけ更新される。

前述の方法でデータを更新する事により、本発明の構成はシステムがフラッシング操作を行う必

(vi)

要を不要にするものである。又、本図はビット
流の改修を行うものであると考えられる。

本発明の望ましい実施態様については多くの改
更が可能であり、例えば指令がフォーマット化さ
れ符号化されると共にある制御およびタイミング
信号が生成される方法の改更が可能である事は明
らかであろう。簡単にするため、多くの場合に各
種の信号のソースは1つとした。然し、同じ信号
がタイミングの制約を少なくするため他のソースに
より独立的に生成され得る事が利便であろう。更
に、本発明の表示内容は新データと旧データの合
成がキャッシュ記憶装置の出力側で生じる場合に使用
できる事も明らかであろう。然しこのためには
別の回路の使用が必要となる。

4. [図面の簡単な説明]

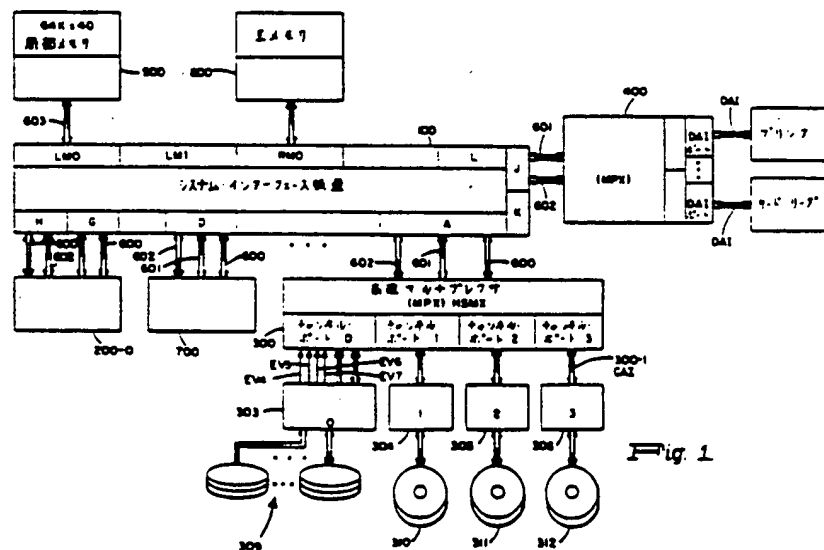
第1図は本発明の原理を採用する入出力システ
ムのブロック図、第2図は第1図の入出力処理機
能を更に詳細に示すブロック図、第3図および
第4図は第1図のシステム・インターフェース
装置を更に詳細に示すブロック図、第5図は第1

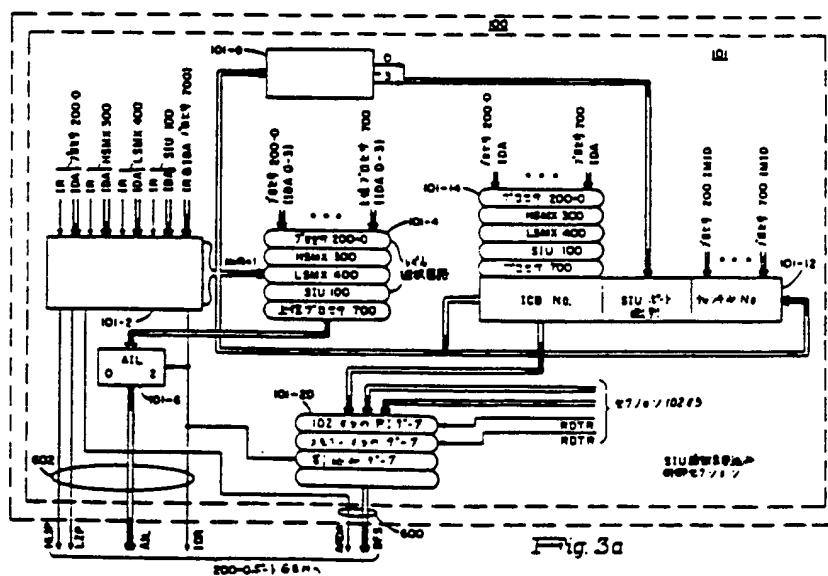
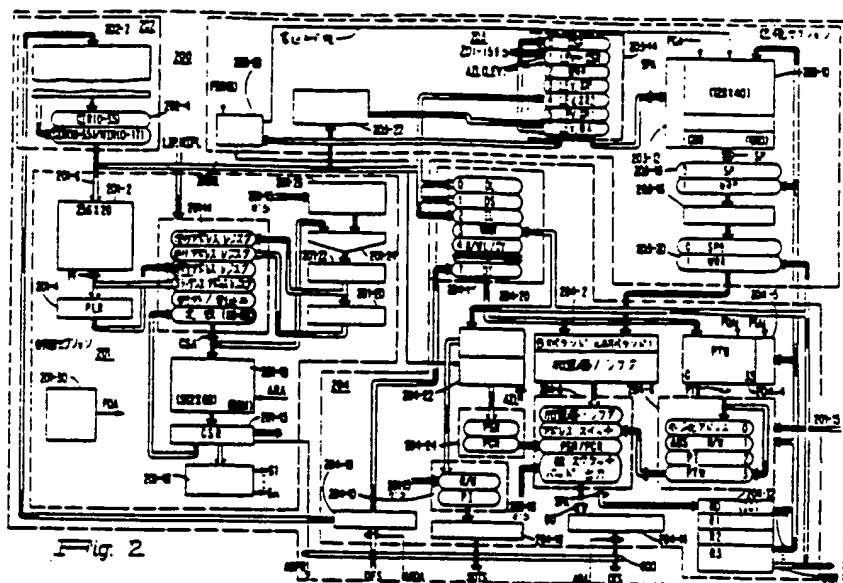
図の局部メモリ・モジュールのブロック図、第
5図乃至第8図は第1図の各種のインターフ
ェースを示す図、第6図は第4図の局部メモリ
・モジュールを更に詳細に示すブロック図、第7
図は第6図の一部を更に詳細に示すブロック図、
第8図は本発明によるZACメモリ・指令のフォ
ーマットを示す図、および第9図は本発明の作用
を説明するためのタイミング・ダイアグラムであ
る。

100…システム・インターフェース装置
(SIU)、101…読み込みセクション、102…
データ転送セクション、200-0…入出力プロ
セッサ(P0)、300…高速マルチプレクサ
(HSMX)、400…低速マルチプレクサ(LSMX)、
500…局部メモリ・モジュール、600-603
…インターフェース、700…上位プロセッサ、
800…主メモリ・モジュール。

(114)

(114)





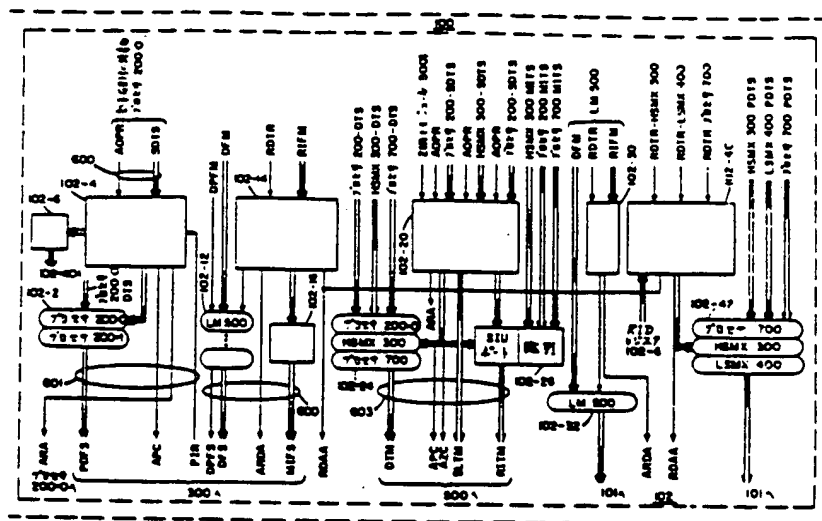


Fig. 3b

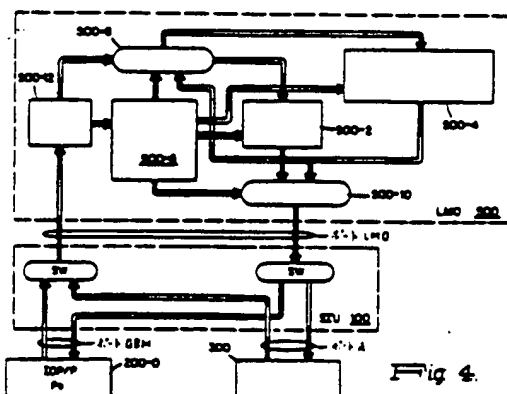


Fig 4.

Handwritten notes on a lined notebook page:

9-10-7	AOPS
9-10-7	DTS(M)
9-10-7	SDTS(SI)
9-10-7	MITS(S)
AAA	
ARDA	
OPS(MO)	
MIFS(S)	
OPFS	
AST	
AGG	

Fig. 5a

Fig. 5a

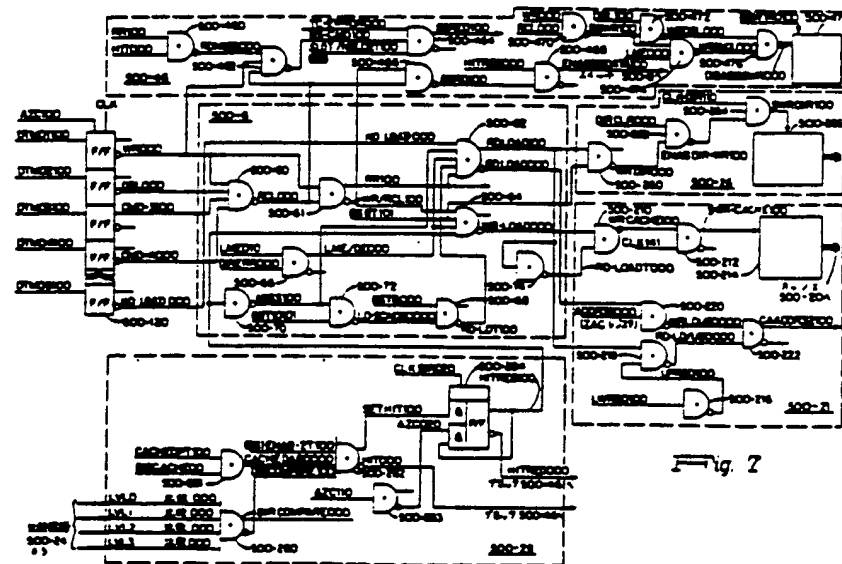
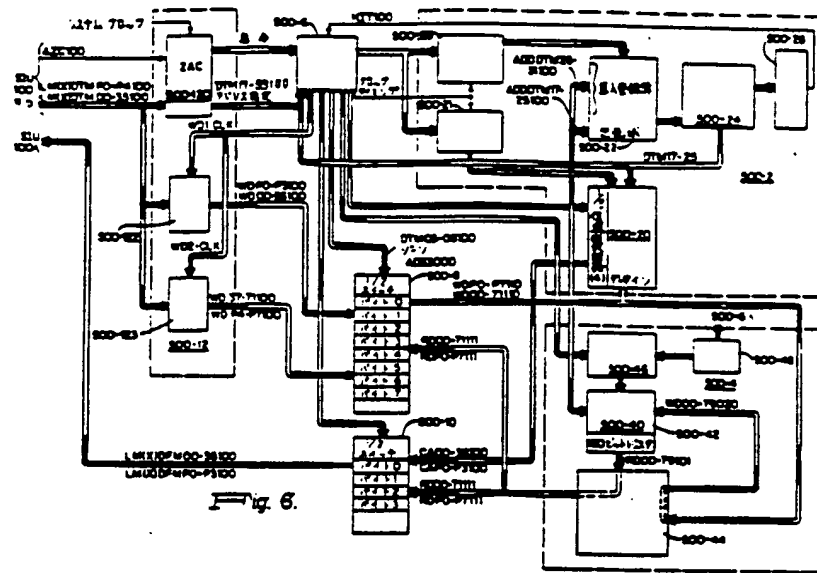
Fig 5b

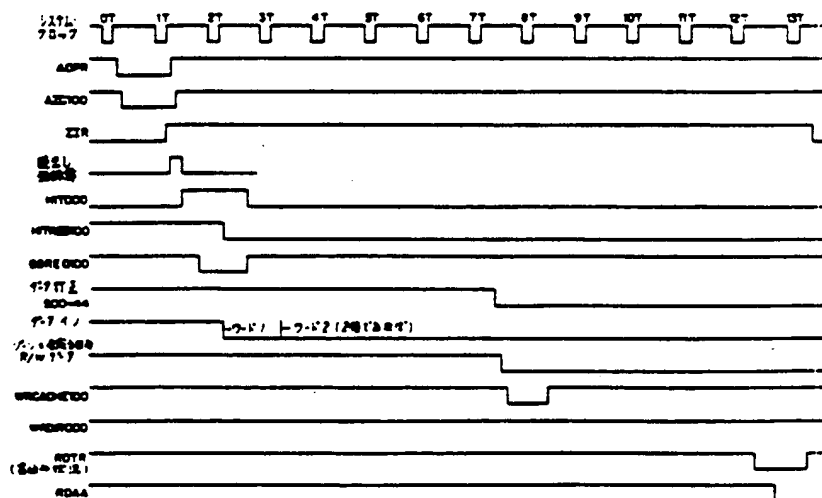
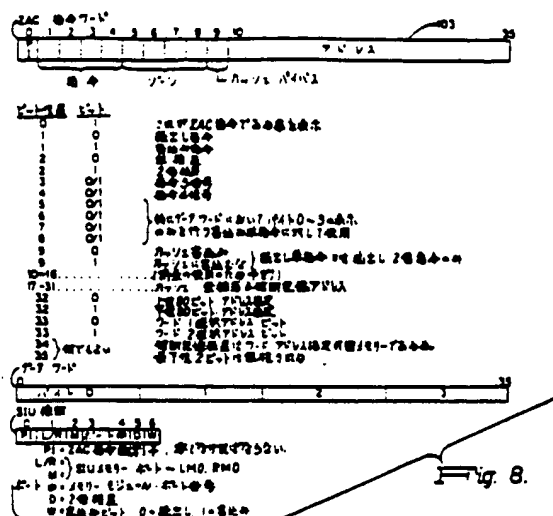
Fig. 5c

Fig. 5c

[illegible]

Fig. 5d





特許法第17条の2の規定による補正の掲載
 昭和53年特許願第175/5号(特開昭
 53-108747号 昭和53年9月2日
 発行公開特許公報53-1088号掲載)につ
 いては特許法第17条の2の規定による補正があっ
 たので下記のとおり掲載する。

Int. Cl.	識別 記号	庁内整理番号
G06F 15/00		6974 5B

手 続 補 正 書

昭和53年9月5日

特許庁長官 島 田 幸 雄 殿

1. 事件の表示

昭和53年特許願第 175/5 号

2. 発明の名称

カッシー記憶装置を含むデータ処理システム

3. 補正をする者

事件との関係 特許出願人

住 所

名 称 ハネイワエル・インフォメーション・
システムス・インコーポレーテッド

4. 代 理 人

住 所 東京都千代田区大手町二丁目2番1番

新大手町ビル206号室(電話 270-6641-6)

氏 名 (2770) 弁理士 島 田 幸 三

5. 補正の対象

明細書の〔発明の詳細な説明〕の欄

6. 補正の内容

(1) 明細書中に次の様な補正を行う。

頁 行	補 正 前	補 正 後
1 1 1	の装置	のある装置
1 1 2	時、必要	時、必要
1 1 下から2	記憶される	記憶された
1 2 下から6	更に	指令モジュールにより 与えられた
1 2 下から5	必要とする指令 モジュールに	要求された
1 2 下から4	より与えられる 情報	情 報
1 2 下から3	情 報	該情報
1 3 1	含んでいる	更に含んでいる
1 3 1 1	補助に	補 助
1 4 3	出力側	複数の出力
1 4 4	最少限度	最少限
1 4 5	記憶され自動的に	記憶され
1 4 6	(全文)	該情報における置換
1 4 7	を情報に付わせ	に附する情報を
1 4 8	る事	自動的にカッシー記憶 装置に与込む事

1 4 9	最少限度	最少限
1 8 5	制 御	直接制御
2 1 2	2倍精度	2倍精度
2 1 1 1, 末	即ち	又は
2 1 下から5	モジュール間	モジュールとSIU間
2 2 5	操 作	操 作
3 4 下から4	割込み	インタ フエース
3 6 下から7	即ち	又は
3 7 9	延ばし、	延ばし、2つのナット 番号適定回線と、
3 7 1 3	如くである、	如くに符号化される、
3 7 下から4	又は割込む	解放する
4 1 3	要 求	要求
4 1 7	メモリー	メモリー 500
4 8 下から3	ず、即ち	ないか、
4 8 末	実 行	例 外
4 9 末	プロセサ	第1(4)のシステム(の)他 のモジュールとプロセ サ
5 0 3	(全文)	るため必要とされ、
5 0 4	ユーニはブロック	ブロック
5 0 下から3	との間	間

61	2～3	このレンスタが コードされると	コードされるべきレン スタと
61	トから2	型 値	状 態
63	トから7	列	リンク
65	4	即ち	又は
69	9	登録の	登録簿の
76	9	脱出し/再読み	の脱出し/再読み
76	9	タイトル	タイトルに対する、
78	4	第1回	第1区
81	Fから8	プロセス	プロセスの割込み
90	2	DIFM	RIFM
93	5	102	101
93	7	即ち	即ち
96	6	用いて	併つて
96	9	されれば	されていれば
96	10	ワードもスキャ ンエ内で	カッシー内のワードも ス
102	6	位置に	位置0乃至8に
104	3	される。	されているとする。
105	Fから3	バイナリ	バイト
108	11	12から	12からの

以 上

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)